



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Shuuichi UENO, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	11-097417	April 5, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number.

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)

- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registration Number 21,124
Registration Number 21,124

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1 9 9 9 年 4 月 5 日

出 願 番 号
Application Number:

平成 1 1 年特許願第 0 9 7 4 1 7 号

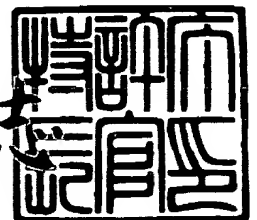
出 願 人
Applicant (s):

三菱電機株式会社

1 9 9 9 年 5 月 1 4 日

特 許 庁 長 官
Commissioner,
Patent Office

伴 佐 山 建 志



出証番号 出証特平 1 1 - 3 0 3 0 1 2 9

【書類名】 特許願

【整理番号】 515295JP01

【提出日】 平成11年 4月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/76

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

【氏名】 上野 修一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

【氏名】 山下 朋宏

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

【氏名】 尾田 秀一

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板の主面から所定の深さで形成され、前記半導体基板のうち、前記主面から前記所定の深さまでを複数の第 1 領域に区画する素子分離膜と、

前記複数の第 1 領域の各々内に形成された第 1 ウェルと、

前記半導体基板のうち、前記第 1 ウェルよりもさらに深い第 2 領域に形成され、前記第 1 ウェルのうちの複数個と接触する第 2 ウェルと、
を備えた半導体装置。

【請求項 2】 前記第 2 領域及び前記複数の第 1 領域のうち、所定の境界に対し、一方側の領域の前記第 1 及び第 2 ウェルは第 1 導電型であり、他方側の領域の前記第 1 及び第 2 ウェルは第 2 導電型である請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 導電型の前記第 2 ウェルと前記第 2 導電型の前記第 2 ウェルとは互いに接触していない請求項 2 記載の半導体装置。

【請求項 4】 前記第 2 領域のうち、所定の境界に対し、片方側の領域のみに前記第 2 ウェルが形成されている請求項 1 記載の半導体装置。

【請求項 5】 前記第 2 領域のうち、メモリセル部に前記第 2 ウェルが形成されている請求項 4 記載の半導体装置。

【請求項 6】 前記第 2 ウェルは、前記第 2 領域のうち、前記素子分離膜の底部の近傍にのみ形成されている請求項 1 から 5 までのいずれかに記載の半導体装置。

【請求項 7】 前記第 1 ウェル及び前記第 2 ウェルの各々の不純物濃度は、前記第 1 領域と第 2 領域との境界部に近づくほど濃い請求項 1 から 6 までのいずれかに記載の半導体装置。

【請求項 8】 前記半導体基板のうち、前記第 2 領域よりもさらに深い第 3 領域に形成された第 3 ウェルをさらに備えた請求項 1 から 7 までのいずれかに記載の半導体装置。

【請求項 9】 (a) 半導体基板の主面から所定の深さで素子分離膜を形成

することによって、前記半導体基板のうち、前記主面から前記所定の深さまでを複数の第1領域に区画するステップと、

(b) 前記複数の第1領域の各々内に第1ウェルを形成するとともに、前記半導体基板のうち、前記第1ウェルよりもさらに深い第2領域に、前記第1ウェルのうちの複数個と接触する第2ウェルを形成するステップと、
を備えた半導体装置の製造方法。

【請求項10】 前記ステップ(b)は、

(b-1) 前記半導体基板の主面のうち、所定の境界に対し、一方側の領域をレジストで覆うステップと、

(b-2) 前記一方側の領域を覆うレジストをマスクとして、前記第1領域へ第1導電型の不純物を注入するステップと、

(b-3) 前記一方側の領域を覆うレジストをマスクとして、前記第2領域へ第1導電型の不純物を注入するステップと、

(b-4) 前記一方側の領域を覆うレジストを除去するステップと、

(b-5) 前記半導体基板の主面のうち、前記所定の境界に対し、他方側の領域をレジストで覆うステップと、

(b-6) 前記他方側の領域を覆うレジストをマスクとして、前記第1領域へ第2導電型の不純物を注入するステップと、

(b-7) 前記他方側の領域を覆うレジストをマスクとして、前記第2領域へ第2導電型の不純物を注入するステップと、

(b-8) 前記他方側の領域を覆うレジストを除去するステップと、
を含む請求項9記載の半導体装置の製造方法。

【請求項11】 前記ステップ(b)は、

(b-1) 前記半導体基板の主面のうち、所定の境界に対し、一方側の領域を第1レジストで覆うステップと、

(b-2) 前記第1レジストをマスクとして、前記第1領域へ第1導電型の不純物を注入するステップと、

(b-3) 前記第1レジストを、第2レジストとしてさらに厚く再形成するステップと、

(b-4) 前記第2レジストをマスクとして、前記第2領域へ第1導電型の不純物を注入するステップと、

(b-5) 前記第2レジストを除去するステップと、

(b-6) 前記半導体基板の主面のうち、前記所定の境界に対し、他方側の領域を第3レジストで覆うステップと、

(b-7) 前記第3レジストをマスクとして、前記第1領域へ第2導電型の不純物を注入するステップと、

(b-8) 前記第3レジストを、第4レジストとしてさらに厚く再形成するステップと、

(b-9) 前記第4レジストをマスクとして、前記第2領域へ第2導電型の不純物を注入するステップと、

(b-10) 前記第4レジストを除去するステップと、
を含む請求項9記載の半導体装置の製造方法。

【請求項12】 (a) 半導体基板の主面から所定の深さでトレンチを形成することによって、前記半導体基板のうち、前記主面から前記所定の深さまでを複数の領域に区画するステップと、

(b) 前記半導体基板の主面の上方から前記トレンチ内へ第1不純物を注入するステップと、

(c) 前記半導体基板の主面の上方から前記複数の領域へ第2不純物を注入するステップと、
を備えた半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、ウェルがトレンチによって複数に分離されている半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体装置は主にp型の半導体基板（例えば、シリコン基板）を用いて形成さ

れる。図 29 に示すように、p チャンネルのトランジスタ pT (ソースドレイン領域 R_N が n 型) を形成するには p 型の半導体基板 900 上に形成すればよいが、n チャンネルのトランジスタ nT (ソースドレイン領域 R_P が p 型) を形成するには局所的に n 型の層 NW を形成する必要がある。この層 NW をウェルいう。

【0003】

ウェルには、現在では熱拡散ウェルとレトログレードウェルとが存在する。熱拡散ウェルとは、半導体基板 900 の浅い位置に不純物 N を注入する (図 30)。図 30 の構造を高い温度で長い時間、熱処理を施すことによって半導体基板 900 内に不純物 N を拡散させる (図 31)。このウェル NW が熱拡散ウェルである。一方、レトログレードウェルとは、図 32 に示すように、半導体基板 900 の深い位置に不純物 N を注入することによって形成するウェル NW である。

【0004】

図 32 の線 AA-BB における不純物濃度のプロファイルを図 33 に示す。レトログレードウェルは不純物 N を注入することによって形成するので、任意に不純物濃度のプロファイルを設定できる。図 33 では、半導体基板 900 の深い位置 P1 に不純物濃度の最大値があり、半導体基板 900 の浅い位置 P2 での不純物濃度は半導体基板 900 の濃度より高く、チャンネルの不純物濃度より十分低く設定している。これによって、ウェル NW 内のトランジスタ nT がウェル NW の外の電位から影響を受けないというメリットがある。

【0005】

また、近年では、トランジスタ nT のサイズが小さくなり、パンチスルー抑制のためには、ウェル NW の不純物濃度を高くする必要性が生じてきている。したがって、素子によっては、ウェル NW の不純物濃度を調整するために、意図的にウェル NW を半導体基板 900 の主面にまで分布させる場合もある。

【0006】

不純物濃度の調整は、n チャンネルのトランジスタ nT だけでなく、p チャンネルのトランジスタ pT にも要求される場合がある。この場合は、p 型のウェル PW を形成する (図 34)。

【0007】

さらに、pチャネルのトランジスタpTの基板電位（バックゲートの電位）を任意に設定したい場合は、図35に示すように、n型のボトムウェルBNW、ウェルNWによって、ウェルPWをこの外の領域から電氣的に分離する。

【0008】

ウェルNWとウェルPWとが接触する場合（図36）、その境界面にできる空乏層DRによってウェルNWとウェルPWとを互いに電氣的に分離することができる。このメリットはウェルNWとウェルPWとを互いに電氣的に分離することを容易に実現できることである。しかし、空乏層DRが広がるため、範囲EURの全てに空乏層が広がる可能性があるため、範囲EUR内にトランジスタを形成できないというデメリットがある。トランジスタを形成しない範囲EURには、素子分離膜Taを形成する（図37）。

【0009】

上記のデメリットを解消するため、ウェルNWとウェルPWとの境界にトレンチを形成し、そのトレンチ内に素子分離膜Tbを埋め込む（図38）。これによって、ウェルNWとウェルPWとのウェル境界（素子分離膜Tb付近）には間には空乏層が生じないので、ウェル境界からトランジスタまでのマージンを縮めて、範囲EUR内にトランジスタを形成できるというメリットがある。しかし、トレンチを用いる工程は複雑かつ高価である。この点がトレンチの欠点である。

【0010】

現在、トレンチによるウェル分離は2つの手法が提案されている。一つは素子分離膜を形成する第1工程とn型及びp型のウェルを形成する第2工程とに分ける方法である。この方法により形成された構造を図39に示す。この方法では、ウェル境界から素子までのマージンを縮めても不都合はない反面、トレンチによるウェル分離のプロセスは、上記の2つの工程を行わなければならないので、長くなり、製造コストが高くなる。

【0011】

もう一つは、上記の第1工程及び第2工程とを同時に作る方法である。この方法により形成された構造を図40に示す。この方法では、ウェルNW、PWの深さに合わせて素子分離膜Tbを深く形成するか（図41）、素子分離膜Tbの薄

さに合わせてウェルNW，PWを浅くする（図4 2）、もしくは、両方を行うことにより実現できる。いずれにいても、素子分離膜Tbの深さは均一にして、素子分離膜TbによってウェルNW，PWの各々が複数に分離される。

【0 0 1 2】

【発明が解決しようとする課題】

しかしながら、複数に分離されたウェルNW，PWの各々に所望の電位を与えるためには、活性領域毎（つまりは、ウェル毎）にコンタクト201を開ける必要がある（図4 3）。このため、コンタクト201を設けるための領域CRの分、ウェルの面積を大きくしなければならない。つまり、全体としてみた場合、図3 8を用いて説明したトレンチによる面積的なメリットを十分に生かされず、ウェル毎に設ける領域CRの分、レイアウト面積が増大するという問題点がある。

【0 0 1 3】

本発明は、これらの問題点を解決するためになされたものであり、ウェルがトレンチによって複数に分離されている半導体装置であって、レイアウト面積を小さくすることができる半導体装置及びその製造方法を得ることを目的とする。

【0 0 1 4】

【課題を解決するための手段】

本発明の請求項1に係る課題解決手段は、半導体基板と、前記半導体基板の主面から所定の深さで形成され、前記半導体基板のうち、前記主面から前記所定の深さまでを複数の第1領域に区画する素子分離膜と、前記複数の第1領域の各々内に形成された第1ウェルと、前記半導体基板のうち、前記第1ウェルよりもさらに深い第2領域に形成され、前記第1ウェルのうちの複数個と接触する第2ウェルとを備える。

【0 0 1 5】

本発明の請求項2に係る課題解決手段は、前記第2領域及び前記複数の第1領域のうち、所定の境界に対し、一方側の領域の前記第1及び第2ウェルは第1導電型であり、他方側の領域の前記第1及び第2ウェルは第2導電型である。

【0 0 1 6】

本発明の請求項3に係る課題解決手段において、前記第1導電型の前記第2ウ

エルと前記第 2 導電型の前記第 2 ウェルとは互いに接触していない。

【0 0 1 7】

本発明の請求項 4 に係る課題解決手段において、前記第 2 領域のうち、所定の境界に対し、片方側の領域のみに前記第 2 ウェルが形成されている。

【0 0 1 8】

本発明の請求項 5 に係る課題解決手段において、前記第 2 領域のうち、メモリセル部に前記第 2 ウェルが形成されている。

【0 0 1 9】

本発明の請求項 6 に係る課題解決手段において、前記第 2 ウェルは、前記第 2 領域のうち、前記素子分離膜の底部の近傍にのみ形成されている。

【0 0 2 0】

本発明の請求項 7 に係る課題解決手段において、前記 1 ウェル及び前記第 2 ウェルの各々の不純物濃度は、前記第 1 領域と第 2 領域との境界部に近づくほど濃い。

【0 0 2 1】

本発明の請求項 8 に係る課題解決手段は、前記半導体基板のうち、前記第 2 領域よりもさらに深い第 3 領域に形成された第 3 ウェルをさらに備える。

【0 0 2 2】

本発明の請求項 9 に係る課題解決手段は、（a）半導体基板の主面から所定の深さで素子分離膜を形成することによって、前記半導体基板のうち、前記主面から前記所定の深さまでを複数の第 1 領域に区画するステップと、（b）前記複数の第 1 領域の各々内に第 1 ウェルを形成するとともに、前記半導体基板のうち、前記第 1 ウェルよりもさらに深い第 2 領域に、前記第 1 ウェルのうちの複数個と接触する第 2 ウェルを形成するステップとを備える。

【0 0 2 3】

本発明の請求項 1 0 に係る課題解決手段において、前記ステップ（b）は、（b－1）前記半導体基板の主面のうち、所定の境界に対し、一方側の領域をレジストで覆うステップと、（b－2）前記一方側の領域を覆うレジストをマスクとして、前記第 1 領域へ第 1 導電型の不純物を注入するステップと、（b－3）前

記一方側の領域を覆うレジストをマスクとして、前記第2領域へ第1導電型の不純物を注入するステップと、(b-4) 前記一方側の領域を覆うレジストを除去するステップと、(b-5) 前記半導体基板の主面のうち、前記所定の境界に対し、他方側の領域をレジストで覆うステップと、(b-6) 前記他方側の領域を覆うレジストをマスクとして、前記第1領域へ第2導電型の不純物を注入するステップと、(b-7) 前記他方側の領域を覆うレジストをマスクとして、前記第2領域へ第2導電型の不純物を注入するステップと、(b-8) 前記他方側の領域を覆うレジストを除去するステップとを含む。

【0024】

本発明の請求項11に係る課題解決手段において、前記ステップ(b)は、(b-1) 前記半導体基板の主面のうち、所定の境界に対し、一方側の領域を第1レジストで覆うステップと、(b-2) 前記第1レジストをマスクとして、前記第1領域へ第1導電型の不純物を注入するステップと、(b-3) 前記第1レジストを、第2レジストとしてさらに厚く再形成するステップと、(b-4) 前記第2レジストをマスクとして、前記第2領域へ第1導電型の不純物を注入するステップと、(b-5) 前記第2レジストを除去するステップと、(b-6) 前記半導体基板の主面のうち、前記所定の境界に対し、他方側の領域を第3レジストで覆うステップと、(b-7) 前記第3レジストをマスクとして、前記第1領域へ第2導電型の不純物を注入するステップと、(b-8) 前記第3レジストを、第4レジストとしてさらに厚く再形成するステップと、(b-9) 前記第4レジストをマスクとして、前記第2領域へ第2導電型の不純物を注入するステップと、(b-10) 前記第4レジストを除去するステップとを含む。

【0025】

本発明の請求項12に係る課題解決手段は、(a) 半導体基板の主面から所定の深さでトレンチを形成することによって、前記半導体基板のうち、前記主面から前記所定の深さまでを複数の領域に区画するステップと、(b) 前記半導体基板の主面の上方から前記トレンチ内へ第1不純物を注入するステップと、(c) 前記半導体基板の主面の上方から前記複数の領域へ第2不純物を注入するステップとを備える。

【 0 0 2 6 】

【発明の実施の形態】

実施の形態 1.

図 1 は本発明の実施の形態 1 の半導体装置の構造を模式的に示す平面図である。図 1 の切断線 II-II での断面図を図 2 に示す。

【 0 0 2 7 】

図 1 及び図 2 に示すように、例えば SiO_2 などの絶縁膜である素子分離膜 T は p 型のシリコンの半導体基板 100 の主面から深さ L1 で形成され、半導体基板 100 のうち、半導体基板 100 の主面から深さ L1 までを複数の第 1 領域 R1 に区画する。深さ L1 は 1000 オングストロームから 10000 オングストロームである。

【 0 0 2 8 】

複数の第 1 領域 R1 の各々内には第 1 ウェル W1 が形成されている。半導体基板 100 のうち、第 1 ウェル W1 よりもさらに深い第 2 領域 R2 には第 2 ウェル W2 が形成されている。第 2 ウェル W2 は複数の第 1 ウェル W1 と接触する。

【 0 0 2 9 】

実施の形態 1 では、半導体基板 100 の主面から第 1 ウェル W1 の底面までの距離 LW1 は、半導体基板 100 の主面から素子分離膜 T の底面までの深さ L1 よりも長くする。距離 LW1 は深さ L1 の例えば 1.1 倍にする。一方、第 2 ウェル W2 の厚さ LW2 は深さ L1 よりも短くする。厚さ LW2 は深さ L1 の例えば 0.9 倍にする。

【 0 0 3 0 】

また、第 2 領域 R2 及び複数の第 1 領域 R1 のうち、素子分離膜 T の上部及び底部を通る所定の境界 BL に対し、一方側の領域 Ra の第 1 ウェル W1 及び第 2 ウェル W2 は n 型であり、他方側の領域 Rb の第 1 ウェル W1 及び第 2 ウェル W2 は p 型である。

【 0 0 3 1 】

図 2 の切断線 A-B の不純物濃度を図 3 に示す。図 3 に示すように、第 1 ウェル W1 及び第 2 ウェル W2 の各々の不純物濃度は、第 1 領域 R1 と第 2 領域 R2

との境界部（第1領域R1及び第2領域R2からなる領域内であって、第1領域R1と第2領域R2との境界を含む部分）BWに近づくほど濃い。第1ウェルW1の不純物濃度は、素子分離膜Tの底面（トレンチ底面）近くで最大であり、その値は、例えば $1 \times 10^{18} / \text{cm}^3$ である。第2ウェルW2の不純物濃度も、トレンチ底面近くで最大であり、その値は、例えば $5 \times 10^{18} / \text{cm}^3$ である。

【0032】

1つの第1領域R1には1つの素子（例えばMOSトランジスタ）が形成される。第1領域R1にMOSトランジスタが形成される場合、第1ウェルW1は、ソースドレイン間の不純物濃度を決める役割を果たす。

【0033】

従来と実施の形態1とを比較すると、図36の構造では、n型のウェルNWとp型のウェルPWとの不純物濃度を適切に設定して、空乏層DRが適度に広がるように設定することによって、n型の第1ウェルW1とp型の第1ウェルW1との間を互いに絶縁させていた。一方、図2の構造では、空乏層ではなく、n型の第1ウェルW1とp型の第1ウェルW1との間の素子分離膜Tによって、n型の第1ウェルW1とp型の第1ウェルW1との間を絶縁することができるので、図36の構造よりは自由にn型の第1ウェルW1とp型の第1ウェルW1との不純物濃度を設定できる。

【0034】

また、図36の構造のようなウェル境界が図2の構造にはなく、図2の領域3付近に空乏層がないので、領域R3からMOSトランジスタまでのマージンを縮めても不都合はない。

【0035】

なお、図2の構造ではn型の第2ウェルW2とp型の第2ウェルW2とは第2領域R2内の境界BLにおいて接触しているので、その界面からは空乏層が広がる。この空乏層によって、n型の第2ウェルW2とp型の第2ウェルW2とは互いに絶縁される。また、第1ウェルW1及び第2ウェルW2の不純物濃度が素子分離膜Tのトレンチ底面（図3参照）近くで十分高くなるように設定すれば、n型の第2ウェルW2とp型の第2ウェルW2との界面から第1ウェルW1内へ空

乏層が広がることを抑えることができる。

【0036】

また、図43の構造では、全ての第1ウェルW1に電位を与えるためには、第1ウェルW1毎に第1ウェルW1とのコンタクトのための領域CRを設ける必要があった。これに対し、図2の構造では、第2ウェルW2は複数の第1ウェルW1と接触し、これらを電氣的につなぐ役割を果たす。これによって、複数の第1ウェルW1のうちの少なくとも1つにコンタクトを設ければ、複数の第1ウェルW1の全てに電位を与えることができ、しかも、コンタクト201が少ない分、レイアウト面積を小さくできる。

【0037】

さらに、第1ウェルW1と第2ウェルW2との電氣的に接続をn型、p型に分けて行うことができる。

【0038】

実施の形態2.

次に、実施の形態1で説明したような構造を有する半導体装置の製造方法について、図4～図9を用いて説明する。

【0039】

まず、p型の半導体基板100の主面から深さL1（1000オングストローム～10000オングストローム）でトレンチを例えばエッチングによって形成し、そのトレンチ内に素子分離膜Tを形成する。これによって、半導体基板100のうち、半導体基板100の主面から深さL1までを複数の第1領域R1に区画する（図4）。

【0040】

次に、半導体基板100の主面のうち、領域RbをレジストMP1で覆う。そして、レジストMP1をマスクとして、半導体基板100の主面の領域Ra側の上方から第1領域R1へn型の不純物N1を注入する。これによって、第1領域R1内にn型の第1ウェルW1を形成する（図5）。

【0041】

なお、不純物N1は例えばボロンであり、このドーズ量は例えば $1 \times 10^{13}/$

cm^2 である。また、半導体基板 100 の主面から第 1 ウェル W1 の底面までの距離 $LW1$ は、半導体基板 100 の主面から素子分離膜 T の底面までの深さ $L1$ よりも短くしてもよく、深さ $L1$ の例えば 0.9 倍にする。

【0042】

次に、レジスト MP1 をマスクとして、半導体基板 100 の主面の領域 R a 側の上方から第 2 領域 R2 へ n 型の不純物 N2 を注入する。これによって、第 2 領域 R2 内に n 型の第 2 ウェル W2 を形成する（図 6）。

【0043】

なお、不純物 N2 は例えばボロンであり、このドーズ量は例えば $1 \times 10^{13} / \text{cm}^2$ である。また、第 2 ウェル W2 の厚さ $LW2$ は深さ $L1$ よりも長くしてもよく、深さ $L1$ の例えば 1.1 倍にする。

【0044】

次に、レジスト MP1 を除去する。次に、半導体基板 100 の主面のうち、領域 R a 側をレジスト MN1 で覆う。そして、レジスト MN1 をマスクとして、半導体基板 100 の主面の領域 R b 側の上方から第 1 領域 R1 へ p 型の不純物 P1 を注入する。これによって、第 1 領域 R1 内に p 型の第 1 ウェル W1 を形成する（図 7）。

【0045】

なお、不純物 P1 は例えばリンであり、このドーズ量は例えば $1 \times 10^{13} / \text{cm}^2$ である。また、半導体基板 100 の主面から第 1 ウェル W1 の底面までの距離 $LW1$ は、半導体基板 100 の主面から素子分離膜 T の底面までの深さ $L1$ よりも短くしてもよく、深さ $L1$ の例えば 0.9 倍にする。

【0046】

次に、レジスト MN1 をマスクとして、半導体基板 100 の主面の領域 R b 側の上方から第 2 領域 R2 へ p 型の不純物 P2 を注入する。これによって、第 2 領域 R2 内に p 型の第 2 ウェル W2 を形成する（図 8）。

【0047】

なお、不純物 P2 は例えばリンであり、このドーズ量は例えば $1 \times 10^{13} / \text{cm}^2$ である。また、第 2 ウェル W2 の厚さ $LW2$ は深さ $L1$ よりも長くし

深さL1の例えば1.1倍にする。

【0048】

次に、レジストMN1を除去すれば、実施の形態1で説明したような構造が得られる(図9)。以上のように、複数の第1領域R1の各々内に第1ウェルW1を形成し、半導体基板100のうち、第1ウェルW1よりもさらに深い第2領域R2に、複数の第1ウェルW1と接触する第2ウェルW2を形成する(図5～図9)。

【0049】

その後、例えば膜厚が50オングストロームのゲート酸化膜(図示せず)を形成し、チャネルドープを行うなどして、第1領域R1内にトランジスタなどの素子(図示せず)を形成する。そして、所定の様々な工程(例えばアセンブラ工程など)を経ることによって、半導体装置が完成する。

【0050】

実施の形態1で述べたように、複数の第1ウェルW1のうちの少なくとも1つにコンタクトを設ければよいので、コンタクトを設ける工程やコンタクトに接続される配線を設ける工程などを簡略することができる。

【0051】

また、レジストMP1を不純物N1、N2の注入で兼用し、レジストMN1を不純物P1、P2の注入で兼用しているので、製造工程が簡単になる。

【0052】

実施の形態3.

図10は本発明の実施の形態3の半導体装置の構造を説明するための断面図である。実施の形態3は実施の形態1の変形である。実施の形態1では図2に示すようにn型の第2ウェルW2とp型の第2ウェルW2とは境界BLにおいて接触していたが、実施の形態3では図10に示すようにn型の第2ウェルW2とp型の第2ウェルW2とは境界BLにおいて互いに接触していない。

【0053】

なお、境界BLにおける素子分離膜Tの脇の第1ウェルW1と第2ウェルW2とは接触している。また、第1ウェルW1と第2ウェルW2との接触長L2は例

えば $1\ \mu\text{m}$ あればよい。

【0054】

図10の構造ではn型の第2ウェルW2とp型の第2ウェルW2とは互いに接触していないので、第2領域R2内の境界BLから第1ウェルW1内へ空乏層が広がることはない。

【0055】

実施の形態4.

次に、実施の形態3で説明したような構造を有する半導体装置の製造方法について、図4、図11～図14を用いて説明する。

【0056】

まず、p型の半導体基板100の主面から深さL1（1000オングストローム～10000オングストローム）でトレンチを例えばエッチングによって形成し、そのトレンチ内に素子分離膜Tを形成する。これによって、半導体基板100のうち、半導体基板100の主面から深さL1までを複数の第1領域R1に区画する（図4）。

【0057】

次に、半導体基板100の主面のうち、領域Rb側をレジストMP1で覆う。そして、レジストMP1をマスクとして、半導体基板100の主面の領域Ra側の土方から第1領域R1へn型の不純物N1を注入する。これによって、第1領域R1内にn型の第1ウェルW1を形成する（図11）。

【0058】

なお、不純物N1は例えばボロンであり、このドーズ量は例えば $1 \times 10^{13}/\text{cm}^2$ である。また、距離LW1は深さL1の例えば0.9倍にする。

【0059】

次に、レジストMP1を、レジストMP2としてさらに厚く再形成する（図12）。この工程を詳しく説明すると、例えば、レジストMP1を除去して、先程と同様な条件で、半導体基板100の主面のうち、領域Rb側をレジストMP2で覆う。ただし、レジストMP2の膜厚をレジストMP1と比較して厚くなるように条件を設定する。あるいは、レジストMP1を除去せずに、レジストMP1

上にレジストを積むことによって、さらに膜厚の厚いレジストMP 2として形成してもよい。

【0060】

これは、後に注入する不純物N 2を不純物N 1より高いエネルギーで注入するので、不純物N 2がレジストMP 2を通過して所要でない領域に注入されないようにするため、レジストMP 2の膜厚を厚くした方がよいからである。レジストMP 2は厚いほど、テーパーが顕著になる。よって、図1 2に示すように、レジストMP 2のテーパーの部分が境界B Lを越えて領域R a側へはみ出す。

【0061】

次に、レジストMP 2をマスクとして、半導体基板1 0 0の主面の領域R a側の上方から第2領域R 2へn型の不純物N 2を注入する。これによって、第2領域R 2内にn型の第2ウェルW 2を形成する。

【0062】

なお、不純物N 2は例えばボロンであり、このドーズ量は例えば $1 \times 10^{13} / \text{cm}^2$ である。また、厚さL W 2は深さL 1の例えば1. 1倍にする。

【0063】

次に、レジストMP 2を除去する。次に、半導体基板1 0 0の主面のうち、領域R a側をレジストMN 1で覆う。そして、レジストMN 1をマスクとして、半導体基板1 0 0の主面の領域R b側の上方から第1領域R 1へp型の不純物P 1を注入する。これによって、第1領域R 1内にp型の第1ウェルW 1を形成する(図1 3)。

【0064】

なお、不純物P 1は例えばリンであり、このドーズ量は例えば $1 \times 10^{13} / \text{cm}^2$ である。また、距離L W 1は深さL 1の例えば0. 9倍にする。

【0065】

次に、レジストMN 1を、レジストMN 2としてさらに厚く再形成する(図1 4)。この工程を詳しく説明すると、例えば、レジストMN 1を除去して、先程と同様な条件で、半導体基板1 0 0の主面のうち、領域R a側をレジストMN 2で覆う。ただし、レジストMN 2の膜厚をレジストMN 1と比較して厚くなるよ

うに条件を設定する。あるいは、レジストMN1を除去せずに、レジストMN1上にレジストを積むことによって、さらに膜厚の厚いレジストMN2として形成してもよい。

【0066】

これも、後に注入する不純物P2を不純物P1より高いエネルギーで注入するので、不純物P2がレジストMN2を通過して所要でない領域に注入されないようにするため、レジストMN2の膜厚を厚くした方がよいからである。レジストMN2は厚いほど、テーパーが顕著になる。よって、図14のように、レジストMN2のテーパーの部分が境界BLを越えて領域Rb側へはみ出す。

【0067】

次に、レジストMN2をマスクとして、半導体基板100の主面の領域Rb側の上方から第2領域R2へp型の不純物P2を注入する。これによって、第2領域R2内にp型の第2ウェルW2を形成する。

【0068】

なお、不純物P2は例えばリンであり、このドーズ量は例えば $1 \times 10^{13} / \text{cm}^2$ である。また、厚さLW2は深さL1の例えば1.1倍にする。

【0069】

次に、レジストMN2を除去すれば、実施の形態3で説明したような構造が得られる。以上のように、複数の第1領域R1の各々内に第1ウェルW1を形成し、半導体基板100のうち、第1ウェルW1よりもさらに深い第2領域R2に、複数の第1ウェルW1と接触する第2ウェルW2を形成する（図11～図14）。

【0070】

その後、例えば膜厚が50オングストロームのゲート酸化膜（図示せず）を形成し、チャネルドープを行うなどして、第1領域R1内にトランジスタなどの素子（図示せず）を形成する。そして、所定の様々な工程（例えばアセンブラ工程など）を経ることによって、半導体装置が完成する。

【0071】

次に、実施の形態4の効果を説明すると、レジストMP2、MN2を厚くする

とレジストMP2、MN2のテーパーが顕著になることを利用することによって、n型の第2ウェルW2とp型の第2ウェルW2とが互いに接触しない構造を容易に得ることができる。

【0072】

しかし、テーパーが顕著になると、次のような不具合が生じることが知られている。テーパーが顕著でないレジストM1をマスクとして不純物D1を半導体基板900の第2領域R2内へ注入してウェルWを形成する場合（図44）と、テーパーが顕著なレジストM2をマスクとして不純物D1を半導体基板900の第2領域R2内へ注入してウェルWを形成する場合（図45）とを比較すると、図45の構造では、レジストM2のテーパーを不純物D1が通過することによって、そのテーパーの直下の領域WRで、半導体基板900の深い位置から浅い位置に互って、不純物D1が注入される（これを浮き上がり現象と称す）。一方、図44の構造ではそのような不純物の浮き上がり現象が生じない。不純物の浮き上がり現象が生じると、不純物濃度のプロファイルが変わることになる。特に、半導体基板900と不純物D1との極性が異なる場合は、電気的特性が著しく違ってくる。

【0073】

一方、図12及び図14に示すように、不純物N2及び不純物P2を半導体基板100の第2領域R2内へ注入する前に、第1領域内に既に第1ウェルW1が形成されている。よって、不純物の浮き上がり現象が生じたとしても、この浮き上がり現象に係る不純物は第1ウェルW1に含まれることになるので、不純物濃度のプロファイルが著しく変化することを抑えることができる。

【0074】

実施の形態5.

図15は本発明の実施の形態5の半導体装置の構造を説明するための断面図である。実施の形態5は実施の形態3の変形である。実施の形態3では図10に示すように第2領域R2のうち、第1領域R1（境界BLの両脇の第1領域R1を除く）下向の全ての領域に第2ウェルW2を形成した。これに対して、実施の形態5では図15に示すように、第2ウェルW2は、素子分離膜Tの第2領域R2

内の底部に沿うようにして、素子分離膜Tの第2領域R2内の底部の近傍にのみ形成されている。この場合でも、第2ウェルW2は複数の第1ウェルW1と接触し、これらを電氣的につなぐ役割を果たすことができる。

【0075】

実施の形態6.

次に、実施の形態5で説明したような構造を有する半導体装置の製造方法について、図16～図21を用いて説明する。

【0076】

まず、トレンチ（溝）を形成する前のp型の半導体基板100の平らな主面のうち、トレンチを形成する領域以外をレジストMTで覆う。レジストMTをマスクとして半導体基板100をエッチングすることによって、半導体基板100の主面から深さL1（1000オングストローム～10000オングストローム）のトレンチT1（溝）を形成する。これによって、半導体基板100のうち、半導体基板100の主面から深さL1までを複数の第1領域R1に区画する（図16）。

【0077】

次に、境界BLのトレンチT1及び半導体基板100の主面のうちの領域RbをレジストMP2で覆う。そして、レジストMP2及びレジストMTをマスクとして、半導体基板100の主面の領域Ra側の上方からトレンチT1内へn型の不純物N2を注入する。これによって、トレンチT1の内壁や、第2領域R2のうちの素子分離膜Tの下方にn型の第2ウェルW2を形成することができる（図17）。

【0078】

なお、不純物N2は例えばボロンであり、このドーズ量は例えば $1 \times 10^{13} / \text{cm}^2$ である。また、厚さLW2は深さL1の例えば0.1倍にする。

【0079】

次に、レジストMP2を除去した後（レジストMTは残す）、境界BLのトレンチT1及び半導体基板100の主面のうちの領域RaをレジストMN2で覆う。そして、レジストMN2及びレジストMTをマスクとして、半導体基板100

の主面の領域 R b 側の上方からトレンチ T 1 内へ p 型の不純物 P 2 を注入する。これによって、トレンチ T 1 の内壁や、素子分離膜 T の下方に p 型の第 2 ウェル W 2 を形成することができる（図 18）。

【0080】

なお、不純物 P 2 は例えばリンであり、このドーズ量は例えば $1 \times 10^{13} / \text{cm}^2$ である。厚さ L W 2 は深さ L 1 の例えば 0.1 倍にする。

【0081】

次に、レジスト MN 2 及びレジスト MT を除去し、トレンチ T 1 内に素子分離膜 T を形成する（図 19）。必要ならば、素子分離膜 T を平坦にする。

【0082】

次に、半導体基板 100 の主面のうち、領域 R b 側をレジスト MP 1 で覆う。そして、レジスト MP 1 をマスクとして、半導体基板 100 の主面の領域 R a 側の上方から第 1 領域 R 1 へ n 型の不純物 N 1 を注入する。これによって、第 1 領域 R 1 内に n 型の第 1 ウェル W 1 を形成する（図 20）。

【0083】

なお、不純物 N 1 は例えばボロンであり、このドーズ量は $1 \times 10^{13} / \text{cm}^2$ である。距離 L W 1 は深さ L 1 の例えば 0.9 倍にする。

【0084】

次に、レジスト MP 1 を除去した後、半導体基板 100 の主面のうち、領域 R a 側をレジスト MN 1 で覆う。そして、レジスト MN 1 をマスクとして、半導体基板 100 の主面の領域 R b 側の上方から第 1 領域 R 1 へ p 型の不純物 P 1 を注入する。これによって、第 1 領域 R 1 内に p 型の第 1 ウェル W 1 を形成する（図 21）。

【0085】

なお、不純物 P 1 は例えばリンであり、このドーズ量は $1 \times 10^{13} / \text{cm}^2$ である。また、距離 L W 1 は深さ L 1 の例えば 0.9 倍にする。

【0086】

次に、レジスト MN 1 を除去れば、実施の形態 5 で説明したような構造が得られる。

【0087】

その後、例えば膜厚が50オングストロームのゲート酸化膜（図示せず）を形成し、チャネルドープを行うなどして、第1領域R1内にトランジスタなどの素子（図示せず）を形成する。そして、所定の様々な工程（例えばアセンブラ工程など）を経ることによって、半導体装置が完成する。

【0088】

以上のように、トレンチT1及びこれを形成するために用いたレジストMTを利用して、第2ウェルW2を形成することができる。

【0089】

実施の形態7.

図22は本発明の実施の形態7の半導体装置の構造を説明するための断面図である。実施の形態7は実施の形態1～6の変形である。実施の形態1～6では、n型の第2ウェルW2とp型の第2ウェルW2との両方を形成した。これに対して、実施の形態7では、半導体基板100がp型の場合はp型の第2ウェルW2を省略し、n型の第2ウェルW2だけを形成する。逆に、半導体基板100がn型の場合はn型の第2ウェルW2を省略し、p型の第2ウェルW2だけを形成する。

【0090】

例えば、図22は図9のような構造からp型の第2ウェルW2を省略した場合を示している。

【0091】

このように、第2領域R2のうち、境界BLに対し、片方側の領域のみに第2ウェルW2を形成する。

【0092】

p型の第2ウェルW2あるいはn型の第2ウェルW2のどちらか一方を省略することによって、工程を簡略にし、製造コストを削減できる。例えば、実施の形態2では図8の不純物P2を注入する工程を削減でき、実施の形態4及び6では、図14及び図18のレジストMN2を形成する工程及び不純物P2を注入する工程を削減できる。

【0093】

実施の形態 8.

図 2 3 は本発明の実施の形態 8 の半導体装置の構造を説明するための断面図である。実施の形態 8 は実施の形態 1 ～ 6 の変形である。実施の形態 1 ～ 6 では、n 型の第 2 ウェル W 2 と p 型の第 2 ウェル W 2 との両方を形成した。これに対して、実施の形態 8 では、必要に応じて不要な n 型の第 2 ウェル W 2 あるいは p 型の第 2 ウェル W 2 を省略する。

【0094】

例えば、図 2 3 では図 9 のような構造から n 型の第 2 ウェル W 2 を省略した場合を示している。図 2 3 では、素子分離膜 T 及び第 1 領域 R 1 を絶縁膜 3 0 0 で覆い、複数の n 型の第 1 ウェル W 1 をコンタクト 2 0 1 及び配線 2 0 2 によって互いに電氣的に接続している。よって、n 型の第 2 ウェル W 2 を省略しても、複数の n 型の第 1 ウェル W 1 の各々に電位を与えることができる。

【0095】

このように、第 2 領域 R 2 のうち、境界 B L に対し、片方側の領域のみに第 2 ウェル W 2 を形成する。

【0096】

p 型の第 2 ウェル W 2 あるいは n 型の第 2 ウェル W 2 のどちらか一方を省略することによって、工程を簡略にし、製造コストを削減できる。例えば、実施の形態 2 では図 6 の不純物 N 2 を注入する工程を削減でき、実施の形態 4 及び 6 では、図 1 2 及び図 1 7 のレジスト M P 2 を形成する工程及び不純物 N 2 を注入する工程を削減できる。

【0097】

実施の形態 9.

実施の形態 9 は実施の形態 1 ～ 8 に関わる。半導体基板 1 0 0 に形成される全ての素子に対して、第 2 ウェル W 2 を設けなくてもよく、特に必要な素子に対して第 2 ウェル W 2 を形成すればよい。このように、特定の素子を選択して第 2 ウェル W 2 を設ければ、工程を簡略することができ、製造コストを削減することができる。

【 0 0 9 8 】

例えば、半導体装置が S R A M の場合、図 2 4 に示すように、メモリセル部 S R に第 2 ウェル W 2 を設ければよい。なお、図 2 4 の各符号は図 2 3 の各符号に対応している。

【 0 0 9 9 】

メモリセルとは周知のように、メモリの記憶の最小単位であって、例えば 1 ビットを記憶する領域である。そして、メモリセル領域とはメモリセルが設けられた領域を指す。

【 0 1 0 0 】

S R A M の 1 つのメモリセルの平面図の例を図 2 5 に示す。図 2 5 の各符号は図 2 4 の各符号に対応している。図 2 5 の構造から配線 2 0 2 及び素子分離膜 T を削除したものを図 2 6 に示す。S R A M では、図 2 6 の構造の単位が例えば数 1 0 0 万個形成されているため、メモリセル部 S R を選択して第 2 ウェル W 2 を設けることが非常に効果的である。つまり、S R A M 内の多数の素子のうち、メモリセル部 S R のみに第 2 ウェル W 2 を設け、その他の素子については第 2 ウェル W 2 のどちらか一方を省略することによって、工程を簡略にし、製造コストを削減でき、しかも、例えば数 1 0 0 万個のメモリセルの各々にコンタクト 2 0 1 を設けなくて済むので、レイアウト面積を非常に小さくできる。

【 0 1 0 1 】

実施の形態 1 0 .

図 2 7 は本発明の実施の形態 1 0 の半導体装置の構造を説明するための断面図である。図 2 4 では S R A M のメモリセル部 S R に第 2 ウェル W 2 を設けた場合を示したが、この他に、実施の形態 1 0 では D R A M のメモリセル部 D R に第 2 ウェル W 2 を設けてもよい。

【 0 1 0 2 】

実施の形態 1 1 .

図 2 8 は本発明の実施の形態 1 1 の半導体装置の構造を説明するための断面図である。実施の形態 1 1 は実施の形態 1 ~ 1 0 の変形である。実施の形態 1 1 では、半導体基板 1 0 0 のうち、第 2 領域 R 2 よりもさらに深い第 3 領域 R 3 内に

第 3 ウェル W 3（ボトムウェル）をさらに備える。

【0 1 0 3】

例えば、図 2 8 は図 9 のような構造に n 型の第 3 ウェル W 3 を追加した場合を示している。これによって、第 1 ウェル W 1 及び第 2 ウェル W 2 を第 3 ウェル W 3 よりもさらに下方の領域から電氣的に分離することができるので、第 1 ウェル W 1 及び第 2 ウェル W 2 の電位を第 3 ウェル W 3 よりもさらに下方の電位から独立して設定することができる。また、第 3 ウェル W 3 をソフトエラー（メモリの記憶内容が消失する現象）の対策として利用できる。

【0 1 0 4】

【発明の効果】

請求項 1 に記載の発明によれば、第 1 ウェルのうちの複数個は、第 2 ウェルを介して互いに電氣的につながる。よって、当該複数個の第 1 ウェルのうちの少なくとも 1 つにコンタクトを設ければ、当該複数個の全ての第 1 ウェルに電位を与えることができる。これによって、レイアウト面積を小さくできる。

【0 1 0 5】

請求項 2 に記載の発明によれば、第 1 ウェルと第 2 ウェルとの電氣的に接続を導電型毎に分けて行うことができる。

【0 1 0 6】

請求項 3 に記載の発明によれば、第 1 導電型の第 2 ウェルと第 2 導電型の第 2 ウェルとは互いに接触していないので、第 2 領域内の第 3 領域から第 1 ウェル内へ空乏層が広がることはない。

【0 1 0 7】

請求項 4 に記載の発明によれば、請求項 2 記載の半導体装置と比較して、工程を簡略にし、製造コストを削減できる。

【0 1 0 8】

請求項 5 に記載の発明によれば、メモリセル部のみに適用すれば、工程の簡略化、製造コストの削減、レイアウト面積の縮小の点で、非常に効果的である。

【0 1 0 9】

請求項 6 に記載の発明によれば、例えば、トレンチを利用して第 2 ウェルを形

成することができる。

【0110】

請求項7に記載の発明によれば、第1領域と第2領域との境界部の第1ウェル及び第2ウェルの不純物濃度を十分高く設定すれば、たとえ、空乏層が第2ウェル側で生じたとしても、その空乏層が第1ウェル内へ広がることを抑えることができる。

【0111】

請求項8に記載の発明によれば、第1ウェル及び第2ウェルの電位を第3ウェルよりもさらに下方の電位から独立して設定することができる。

【0112】

請求項9に記載の発明によれば、請求項1に記載の半導体装置を製造できる。また、複数の第1ウェルのうちの少なくとも1つにコンタクトを設ければよいので、コンタクトを設ける工程やコンタクトに接続される配線を設ける工程などを簡略することができる。

【0113】

請求項10に記載の発明によれば、請求項2に記載の半導体装置を製造できる。また、レジストを第1及び第2領域への不純物の注入で兼用しているので、製造工程が簡単になる。

【0114】

請求項11に記載の発明によれば、請求項3に記載の半導体装置を製造できる。また、レジストを厚くするとレジストのテーパーが顕著になることを利用することによって、第1導電型の第2ウェルと第2導電型の第2ウェルとが互いに接触しない構造を容易に得ることができる。しかも、第2及び第4レジストの顕著なテーパーによって、不純物の浮き上がり現象が生じたとしても、この浮き上がり現象に係る不純物は第1ウェルに含まれることになるので、不純物濃度のプロファイルが著しく変化することを抑えることができる。

【0115】

請求項12に記載の発明によれば、請求項6に記載の半導体装置を製造できる。また、トレンチを利用して第2ウェルを形成することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 の半導体装置の構造を模式的に示す平面図である。

【図 2】 本発明の実施の形態 1 の半導体装置の構造を説明するための断面図である。

【図 3】 本発明の実施の形態 1 の半導体装置のウェルの不純物濃度を示すグラフである。

【図 4】 本発明の実施の形態 2 の半導体装置の製造方法を示す断面図である。

【図 5】 本発明の実施の形態 2 の半導体装置の製造方法を示す断面図である。

【図 6】 本発明の実施の形態 2 の半導体装置の製造方法を示す断面図である。

【図 7】 本発明の実施の形態 2 の半導体装置の製造方法を示す断面図である。

【図 8】 本発明の実施の形態 2 の半導体装置の製造方法を示す断面図である。

【図 9】 本発明の実施の形態 2 の半導体装置の製造方法を示す断面図である。

【図 1 0】 本発明の実施の形態 3 の半導体装置の構造を説明するための断面図である。

【図 1 1】 本発明の実施の形態 4 の半導体装置の製造方法を示す断面図である。

【図 1 2】 本発明の実施の形態 4 の半導体装置の製造方法を示す断面図である。

【図 1 3】 本発明の実施の形態 4 の半導体装置の製造方法を示す断面図である。

【図 1 4】 本発明の実施の形態 4 の半導体装置の製造方法を示す断面図である。

【図 1 5】 本発明の実施の形態 5 の半導体装置の構造を説明するための断面図である。

【図 1 6】 本発明の実施の形態 6 の半導体装置の製造方法を示す断面図である。

【図 1 7】 本発明の実施の形態 6 の半導体装置の製造方法を示す断面図である。

【図 1 8】 本発明の実施の形態 6 の半導体装置の製造方法を示す断面図である。

【図 1 9】 本発明の実施の形態 6 の半導体装置の製造方法を示す断面図である。

【図 2 0】 本発明の実施の形態 6 の半導体装置の製造方法を示す断面図である。

【図 2 1】 本発明の実施の形態 6 の半導体装置の製造方法を示す断面図である。

【図 2 2】 本発明の実施の形態 7 の半導体装置の構造を説明するための断面図である。

【図 2 3】 本発明の実施の形態 8 の半導体装置の構造を説明するための断面図である。

-----【図 2 4】----- 本発明の実施の形態 9 の半導体装置の構造を説明するための断面図である。

【図 2 5】 本発明の実施の形態 9 の半導体装置の構造を説明するための平面図である。

【図 2 6】 本発明の実施の形態 9 の半導体装置の構造を説明するための平面図である。

【図 2 7】 本発明の実施の形態 1 0 の半導体装置の構造を説明するための断面図である。

【図 2 8】 本発明の実施の形態 1 1 の半導体装置の構造を説明するための断面図である。

【図 2 9】 従来の半導体装置の構造を説明するための断面図である。

- 【図 3 0】 従来の半導体装置の構造を説明するための断面図である。
- 【図 3 1】 従来の半導体装置の構造を説明するための断面図である。
- 【図 3 2】 従来の半導体装置の構造を説明するための断面図である。
- 【図 3 3】 従来の半導体装置のウェルの不純物濃度を示すグラフである。
- 【図 3 4】 従来の半導体装置の構造を説明するための断面図である。
- 【図 3 5】 従来の半導体装置の構造を説明するための断面図である。
- 【図 3 6】 従来の半導体装置の構造を説明するための断面図である。
- 【図 3 7】 従来の半導体装置の構造を説明するための断面図である。
- 【図 3 8】 従来の半導体装置の構造を説明するための断面図である。
- 【図 3 9】 従来の半導体装置の構造を説明するための断面図である。
- 【図 4 0】 従来の半導体装置の構造を説明するための断面図である。
- 【図 4 1】 従来の半導体装置の構造を説明するための断面図である。
- 【図 4 2】 従来の半導体装置の構造を説明するための断面図である。
- 【図 4 3】 従来の半導体装置の構造を説明するための断面図である。
- 【図 4 4】 従来の半導体装置の構造を説明するための断面図である。
- 【図 4 5】 従来の半導体装置の構造を説明するための断面図である。

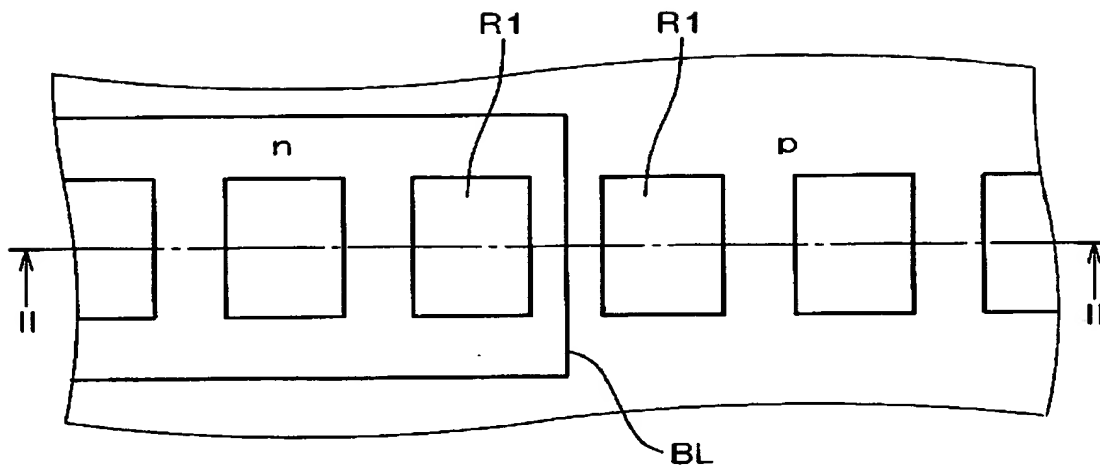
【符号の説明】

1 0 0 半導体基板、T 素子分離膜、R 1 第 1 領域、R 2 第 2 領域、R

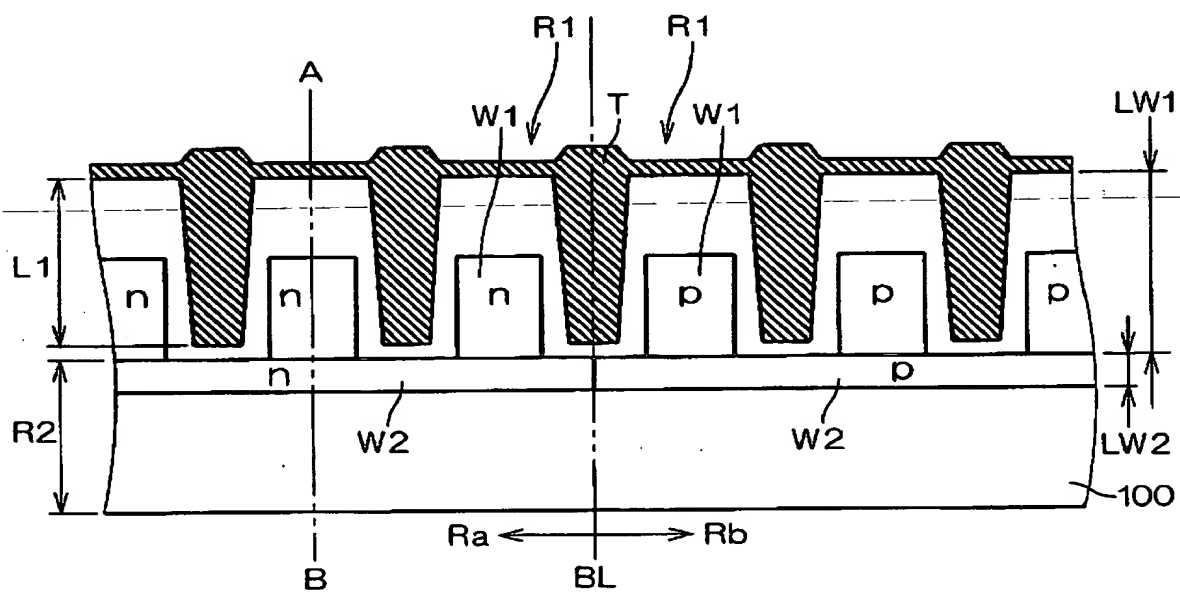
3 第 3 領域、B L 境界、B W 境界部、W 1 第 1 ウェル、W 2 第 2 ウェル、W 3 第 3 ウェル。

【書類名】 図面

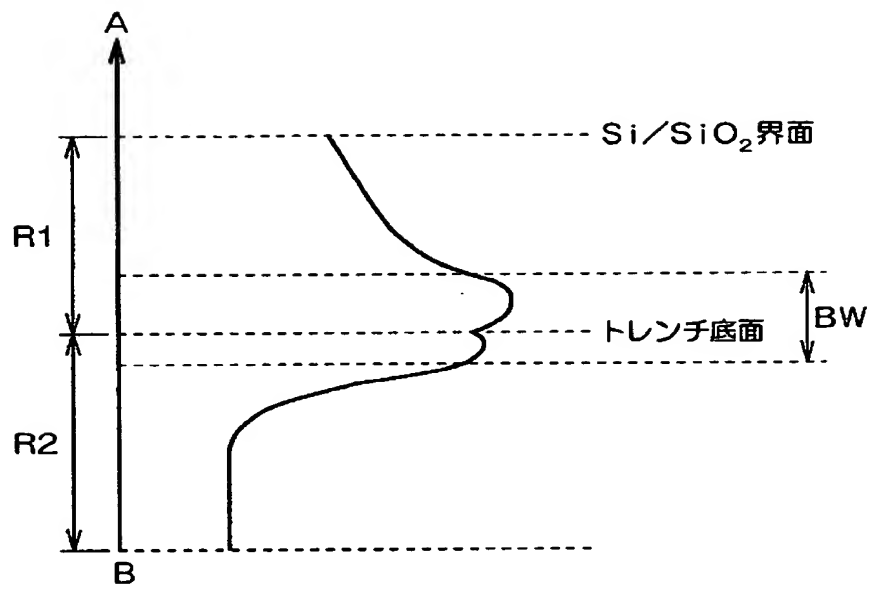
【図 1】



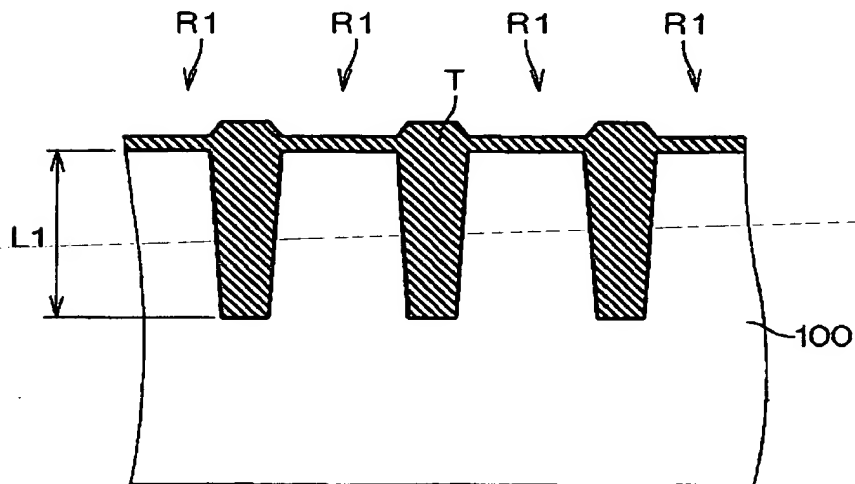
【図 2】



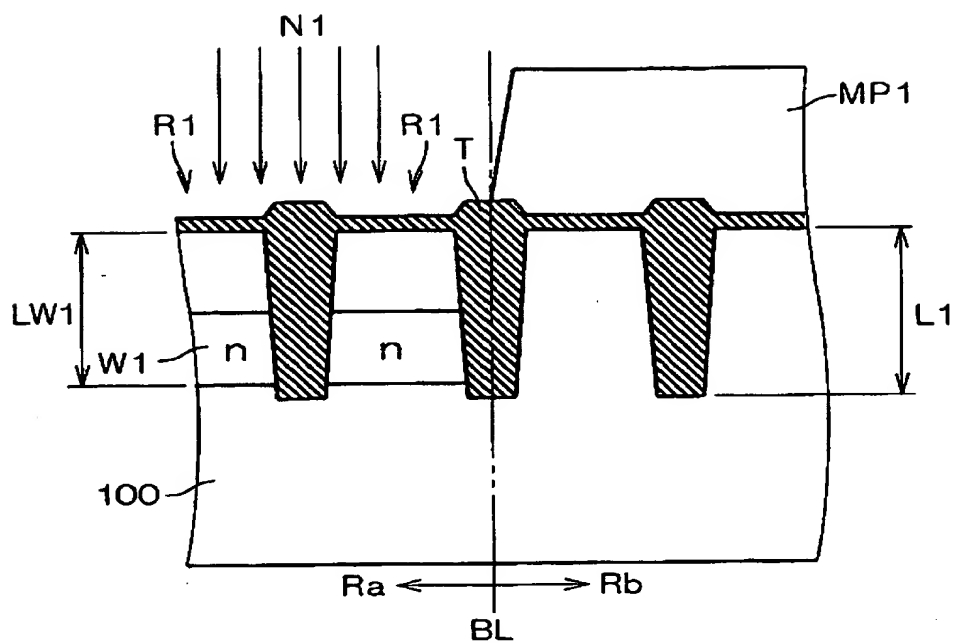
【図 3】



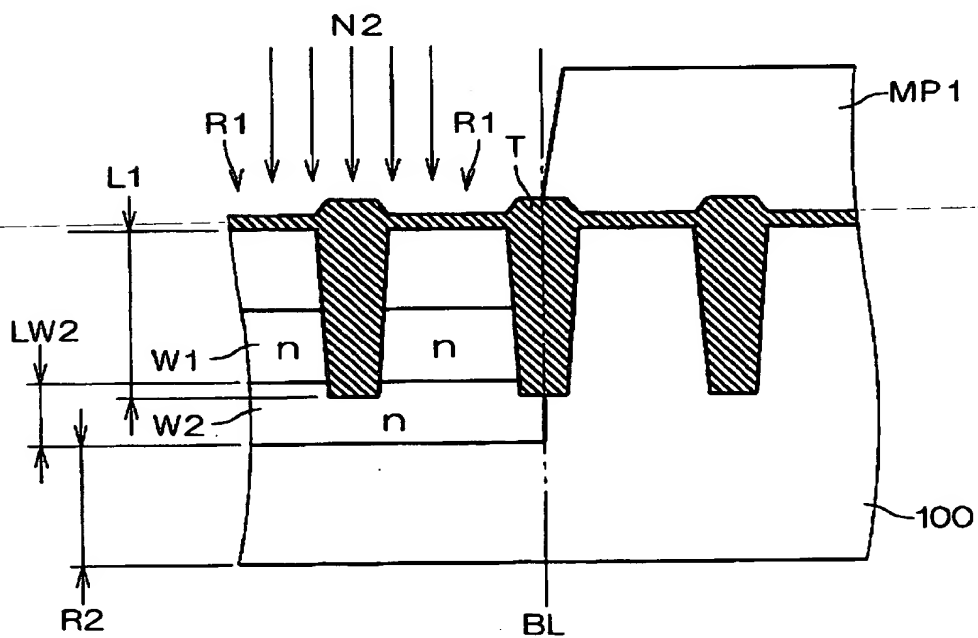
【図 4】



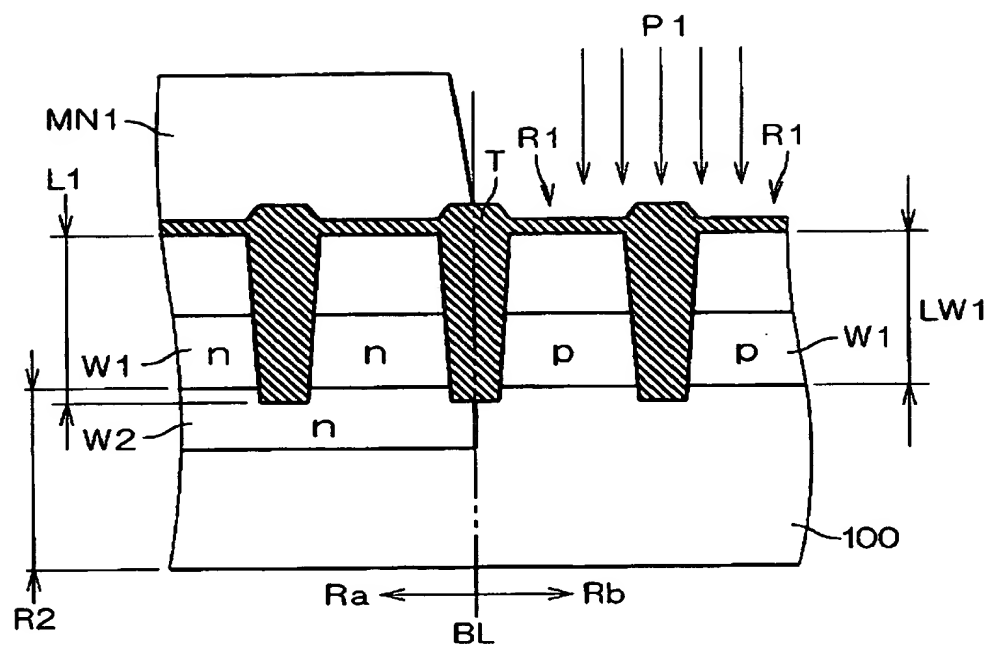
【図 5】



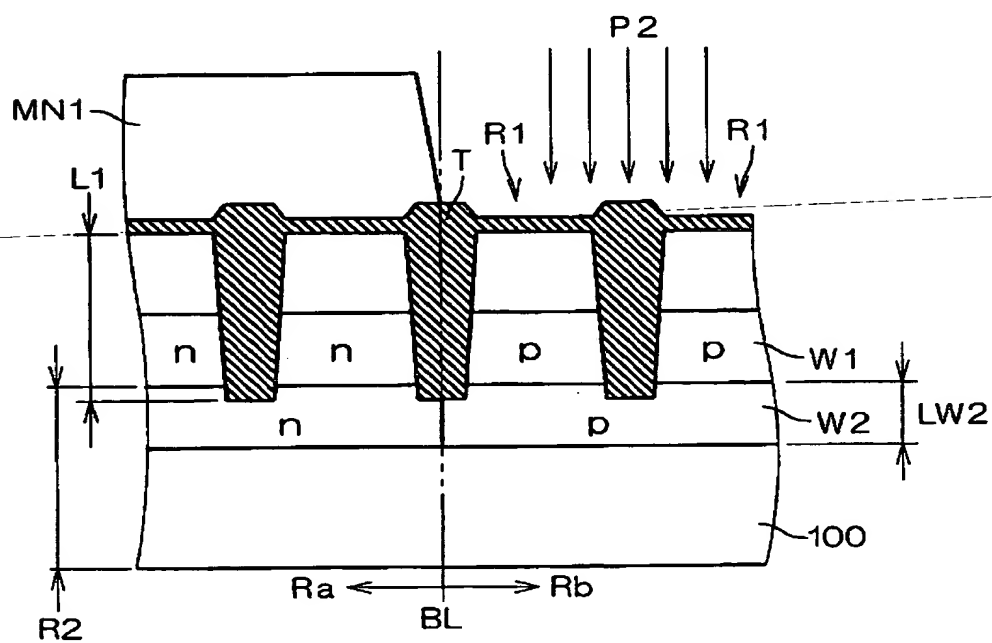
【図 6】



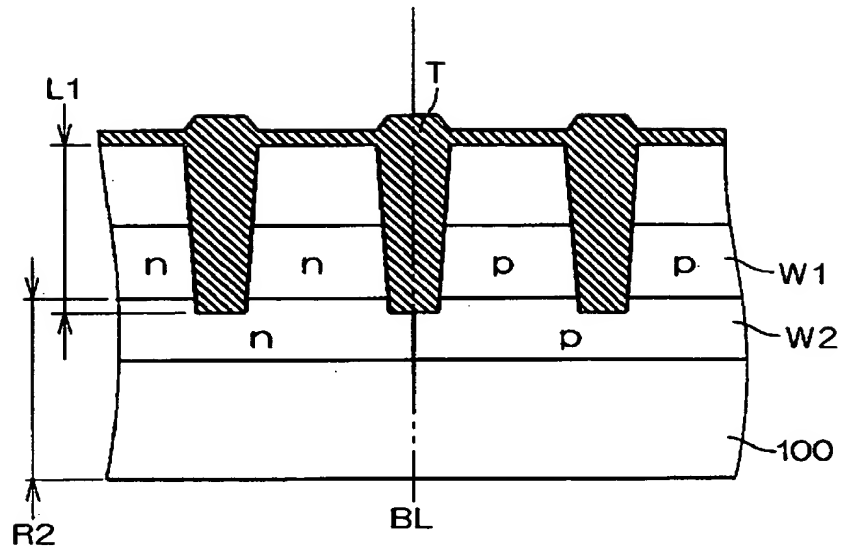
【図 7】



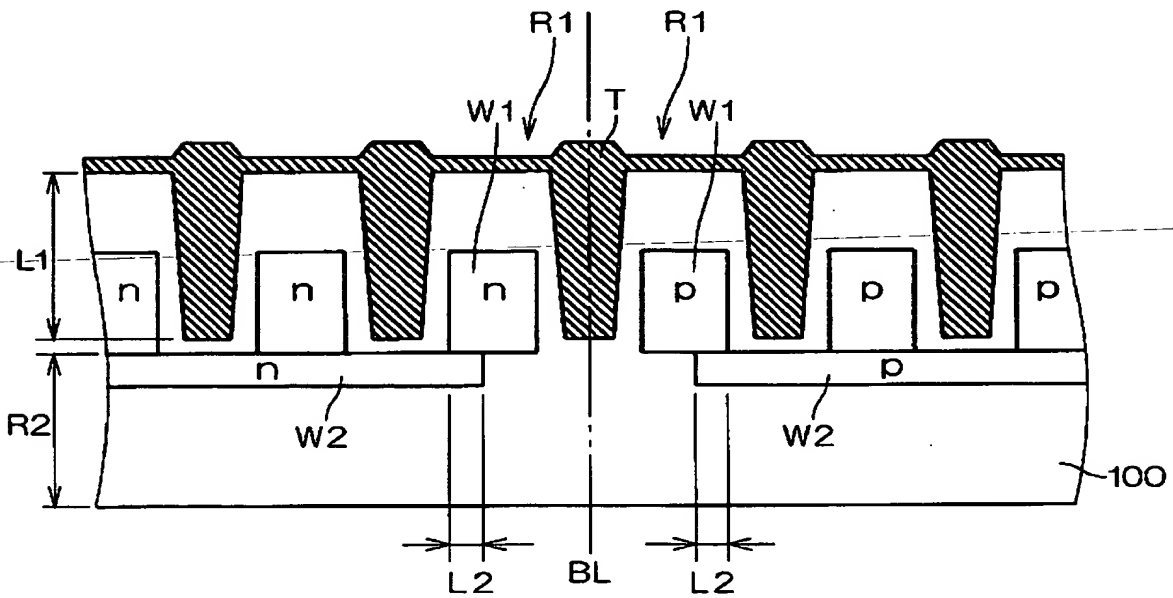
【图 8】



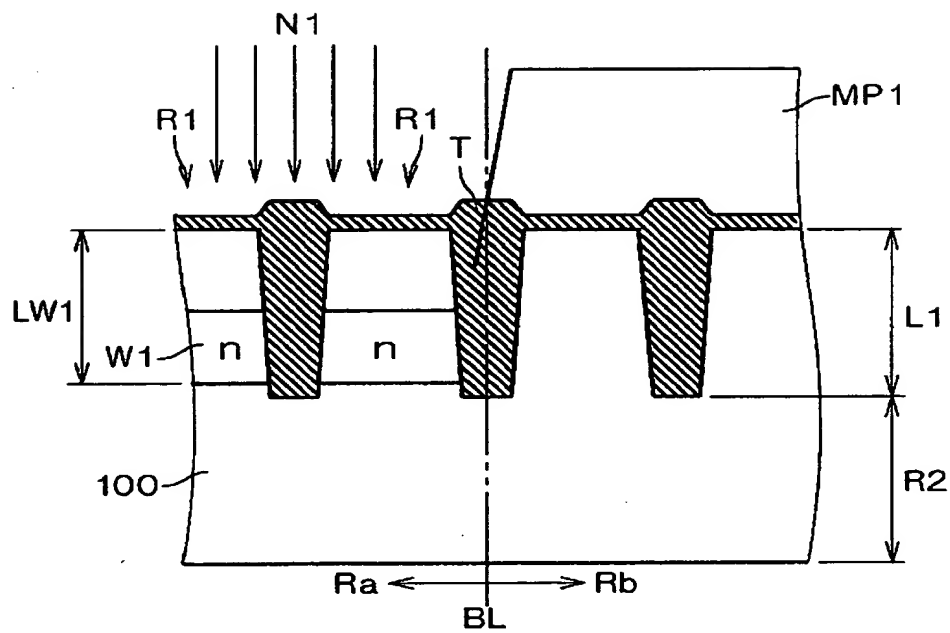
【図9】



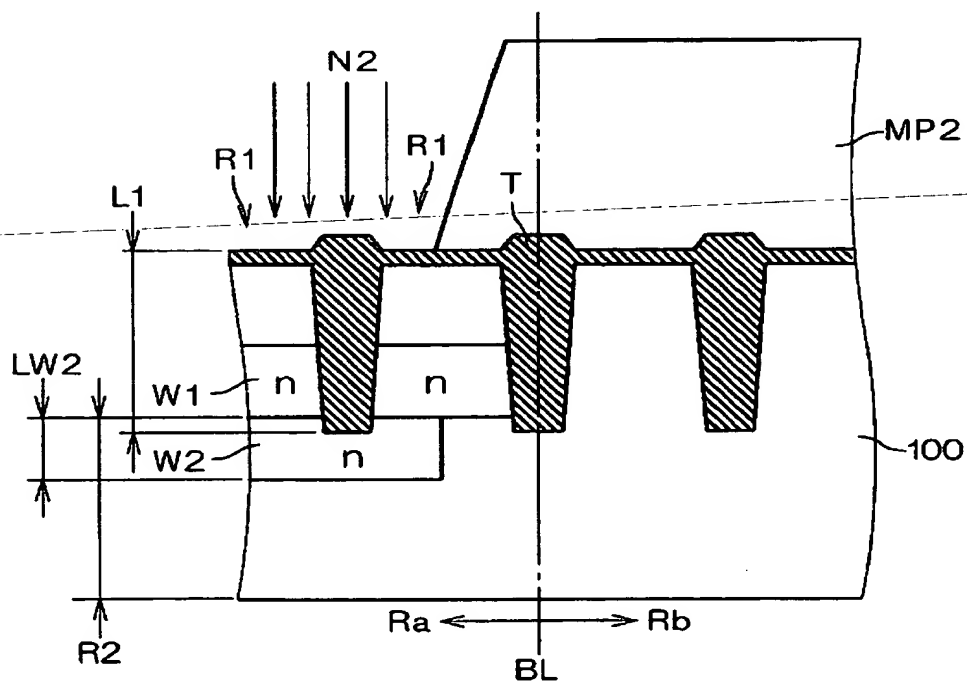
【図10】



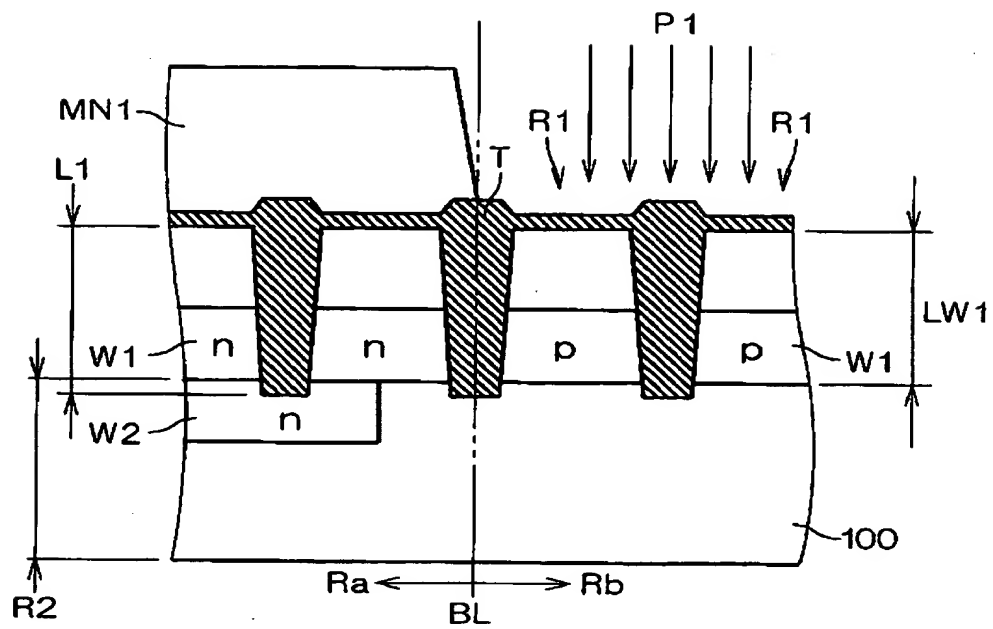
【図 1 1】



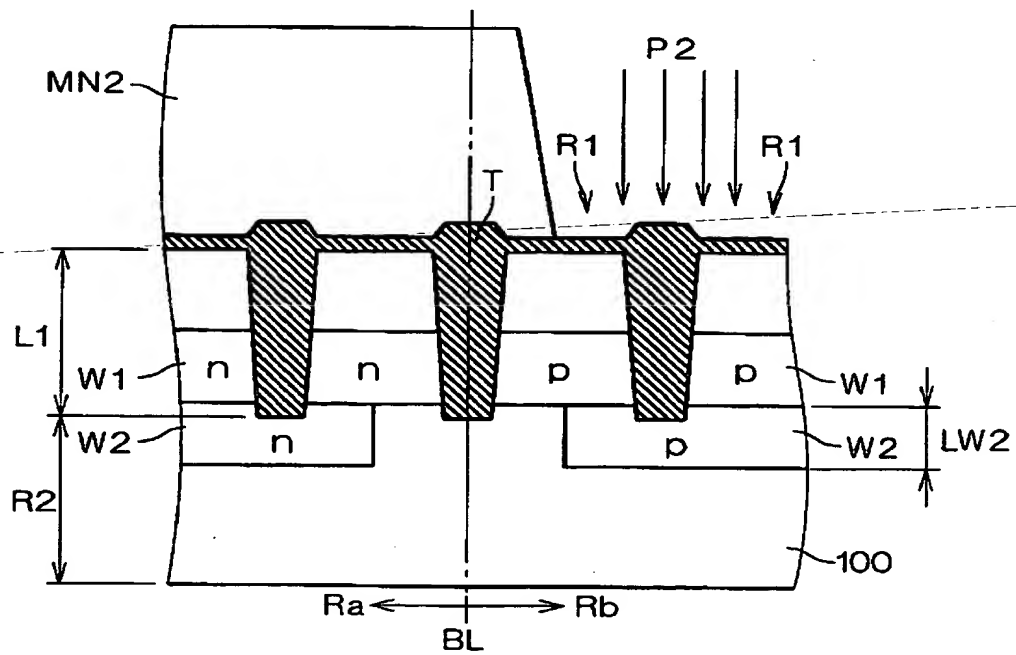
【図 1 2】



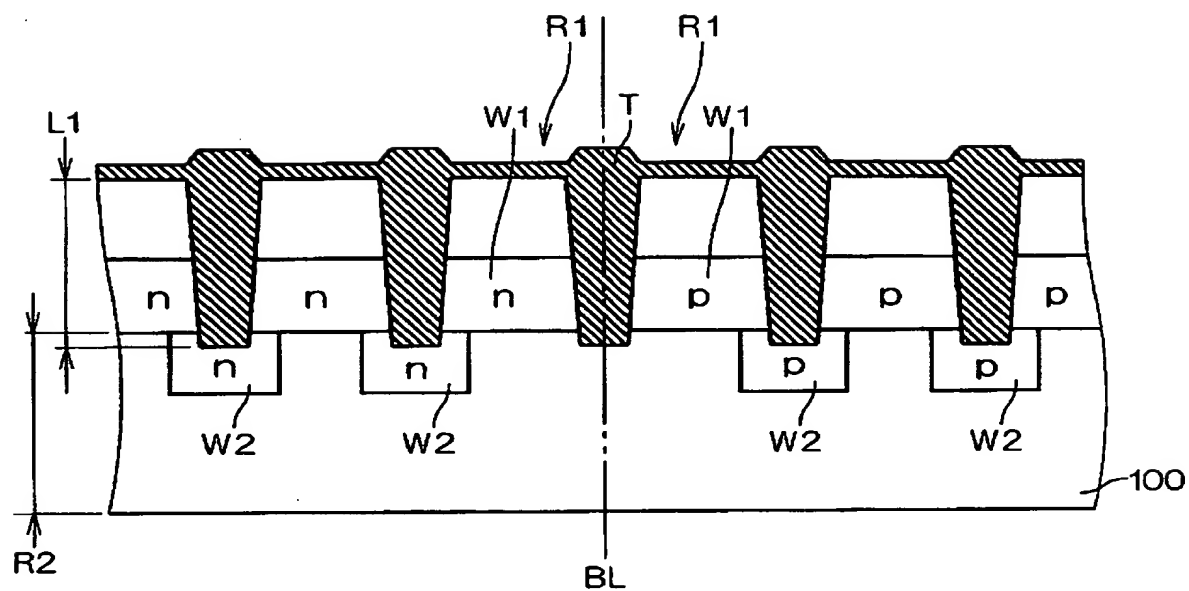
【図 13】



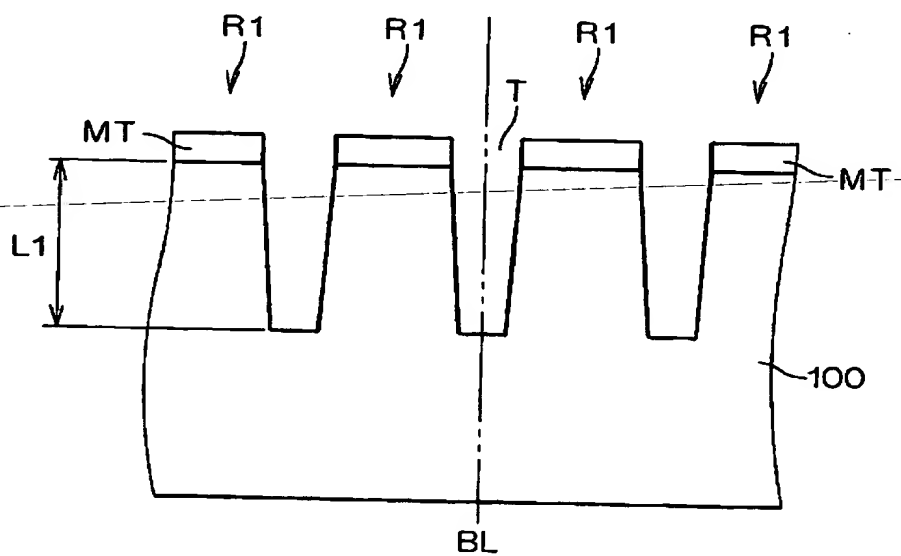
【図 14】



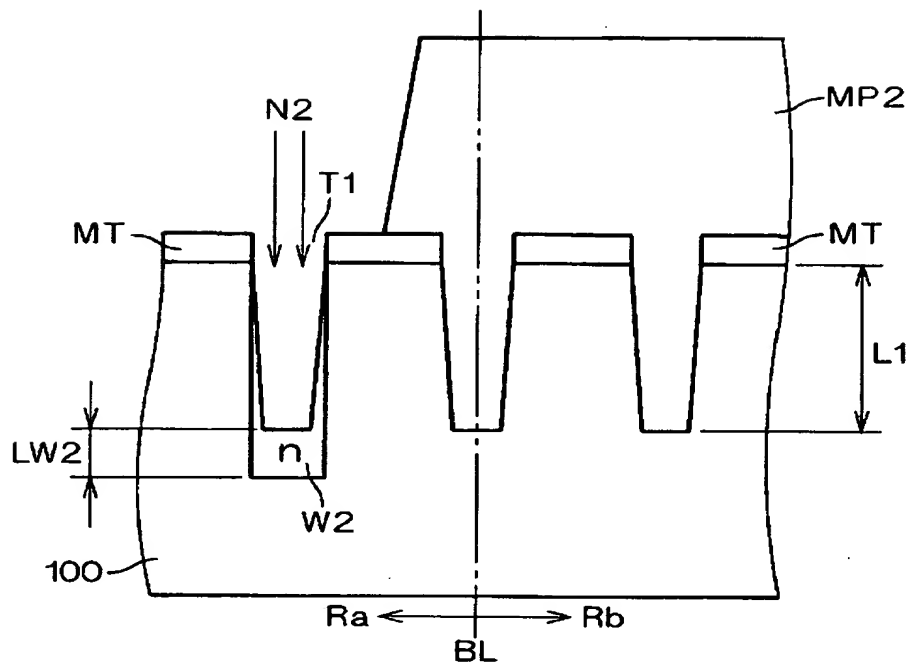
【図 15】



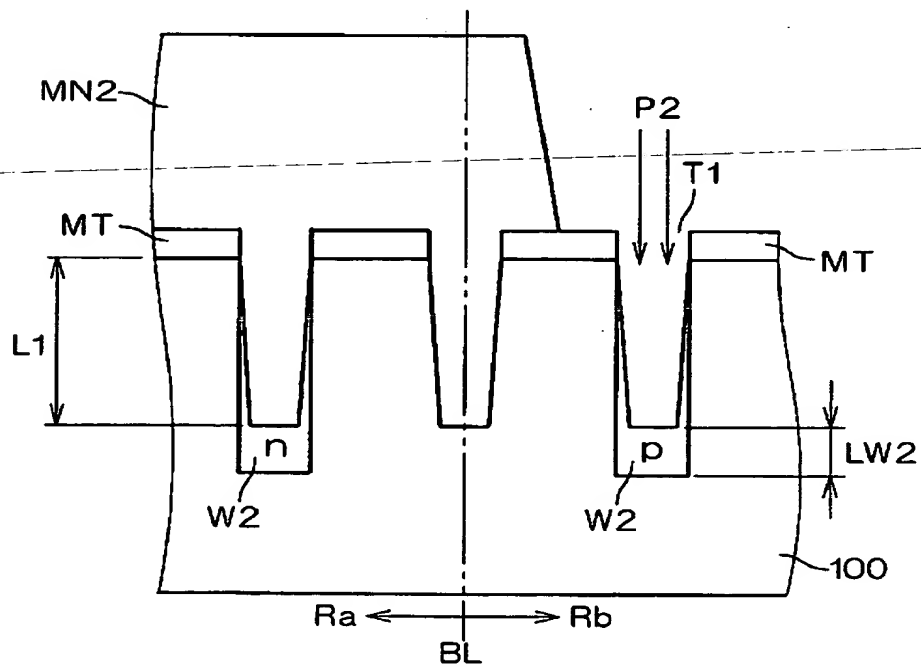
【図 16】



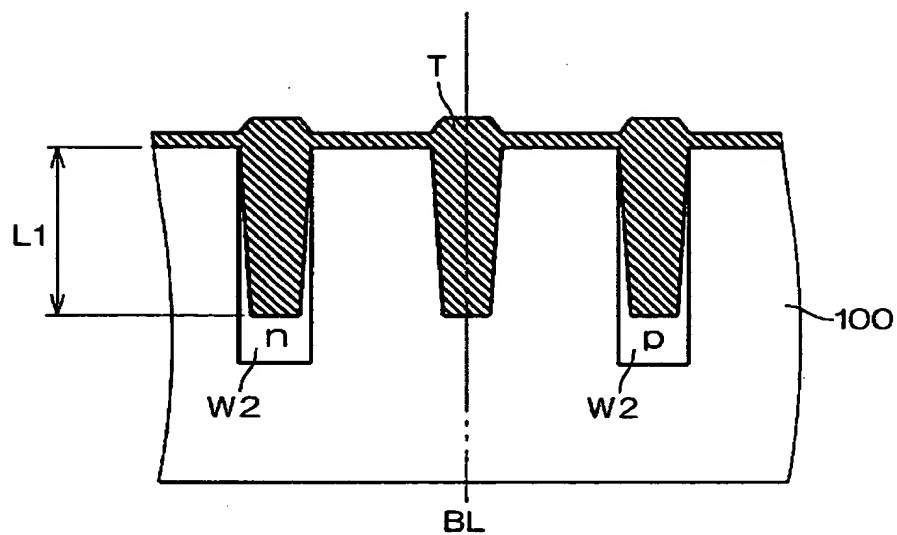
【図 17】



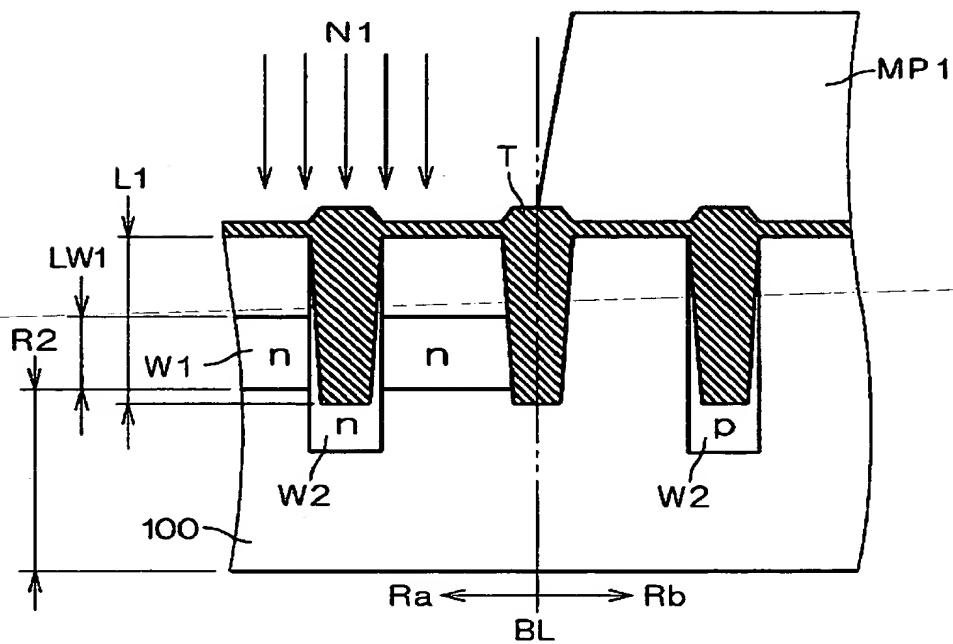
【図 18】



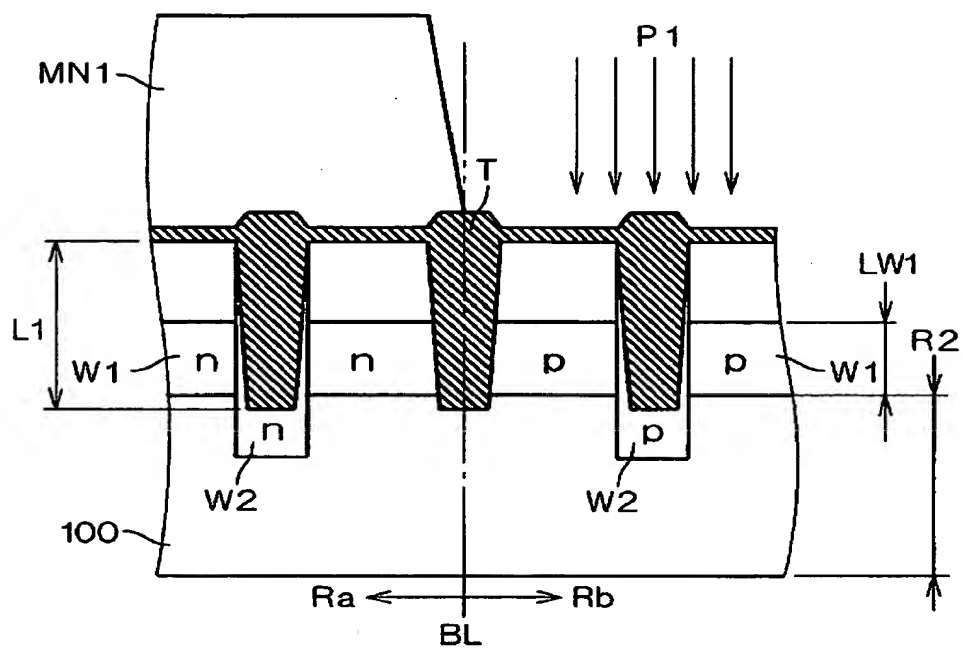
【図 19】



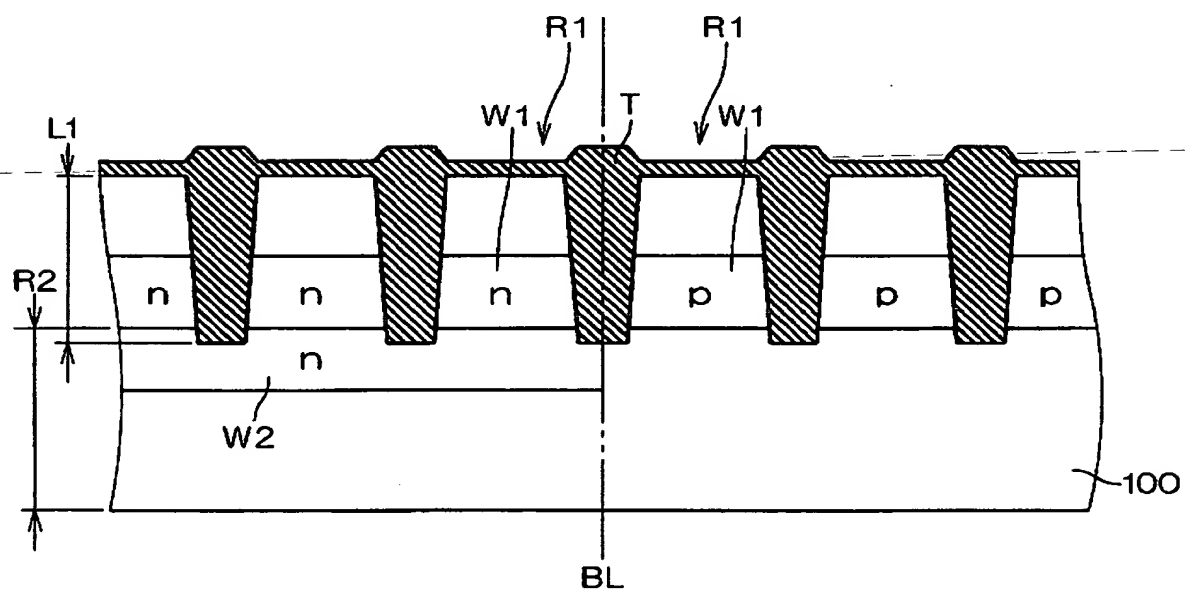
【図 20】



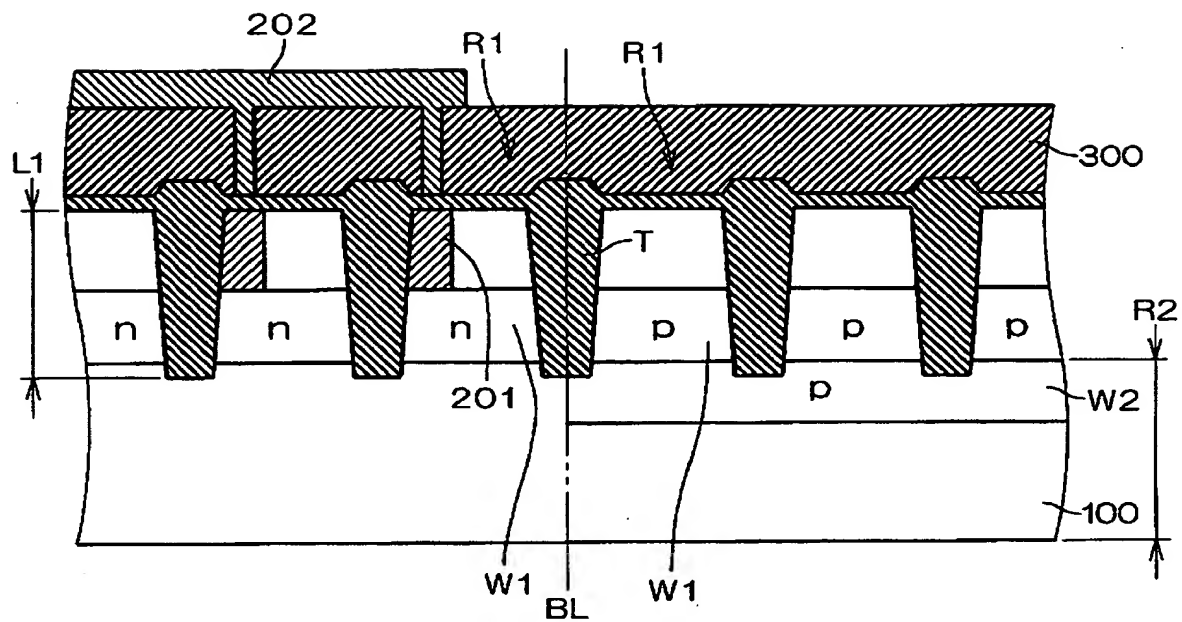
【図 2 1】



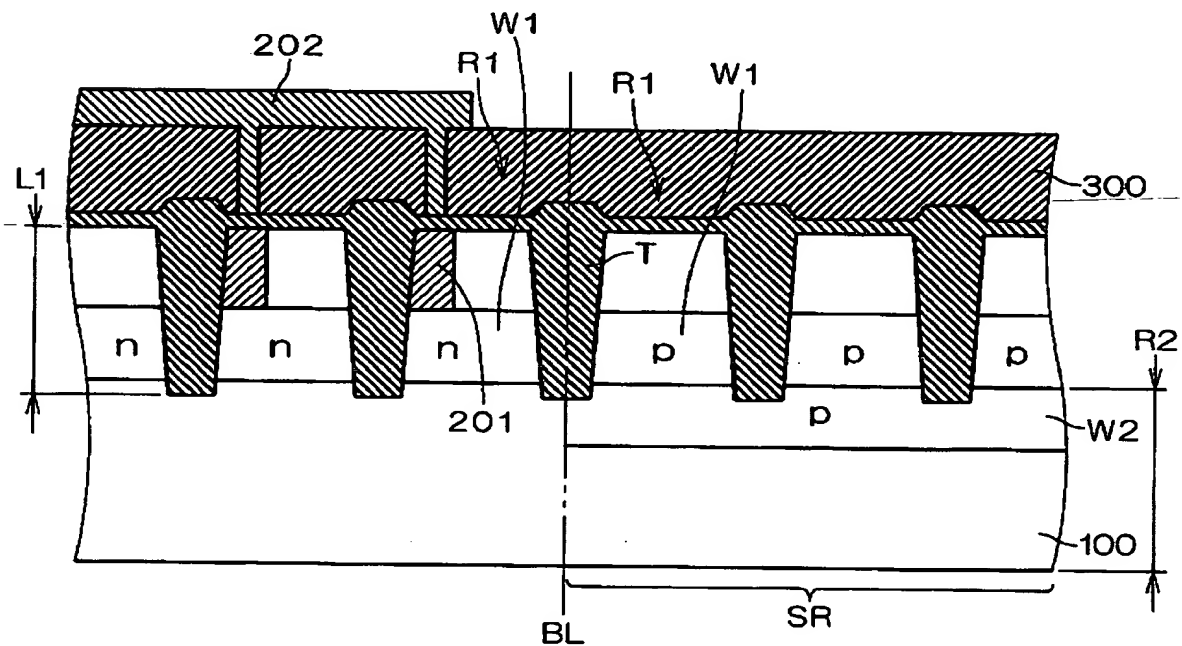
【図 22】



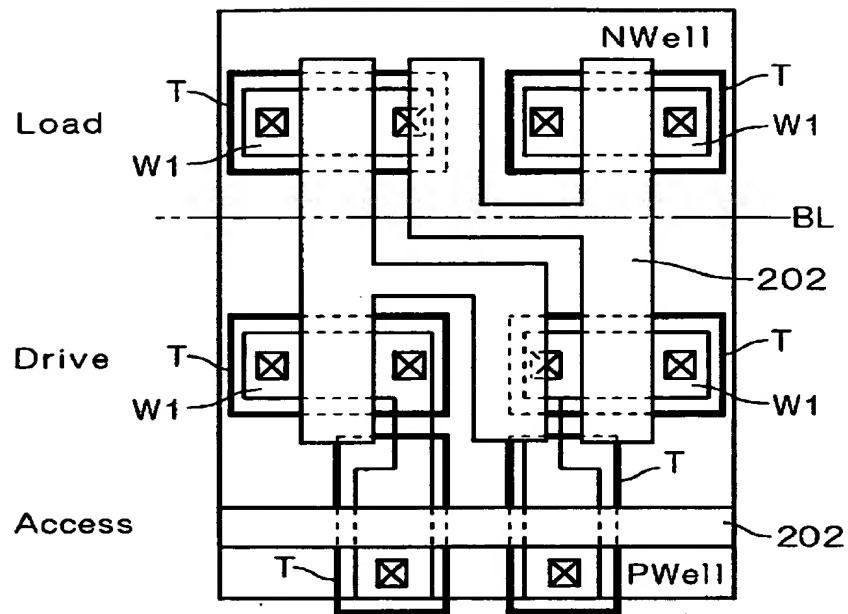
【图 2 3】



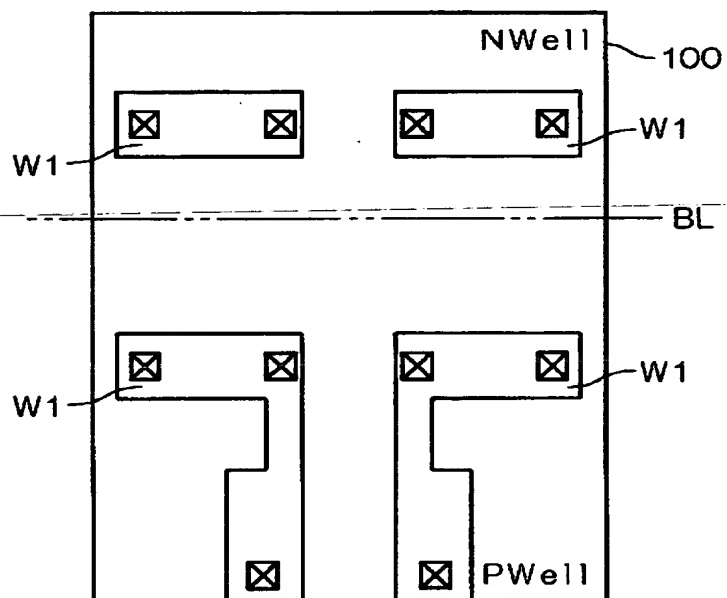
【圖 24】



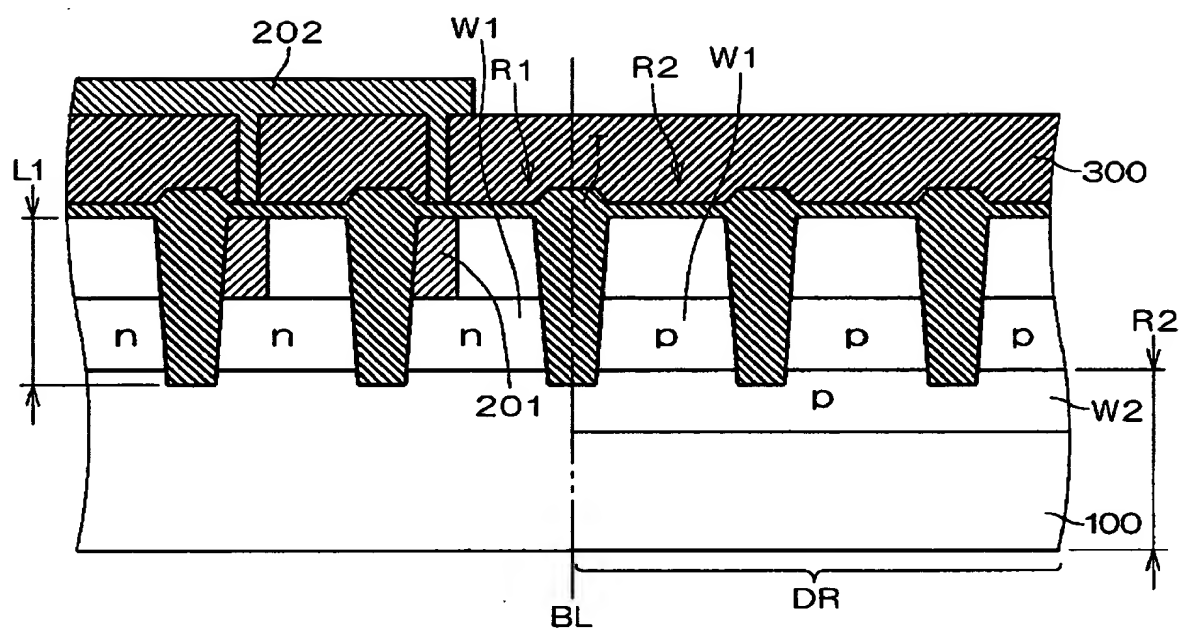
【図 2 5】



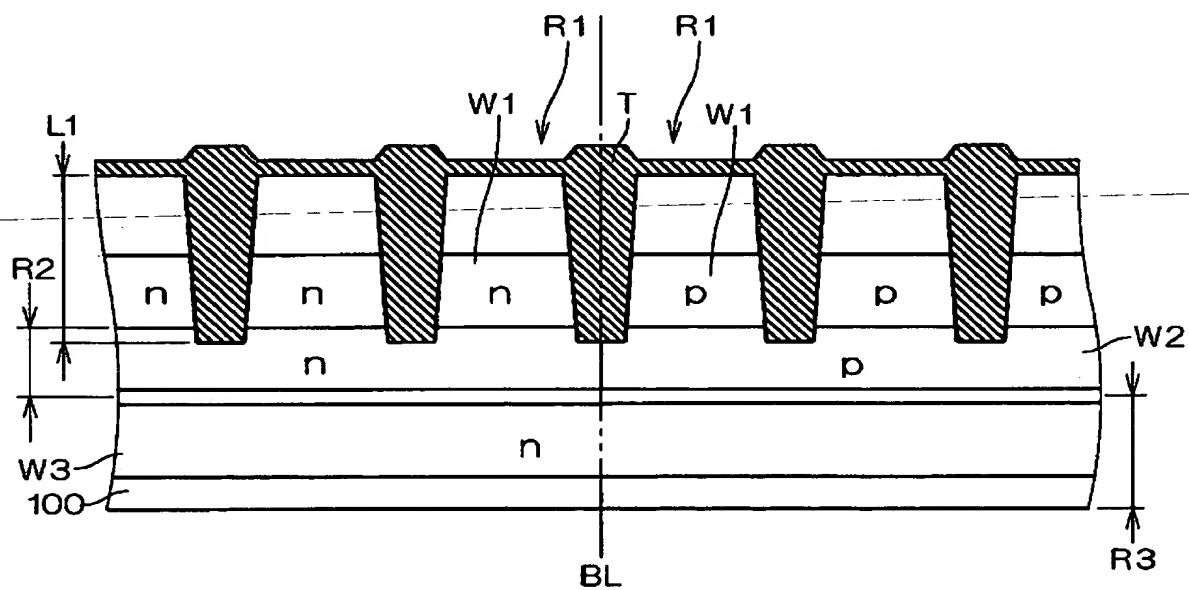
【図 2 6】



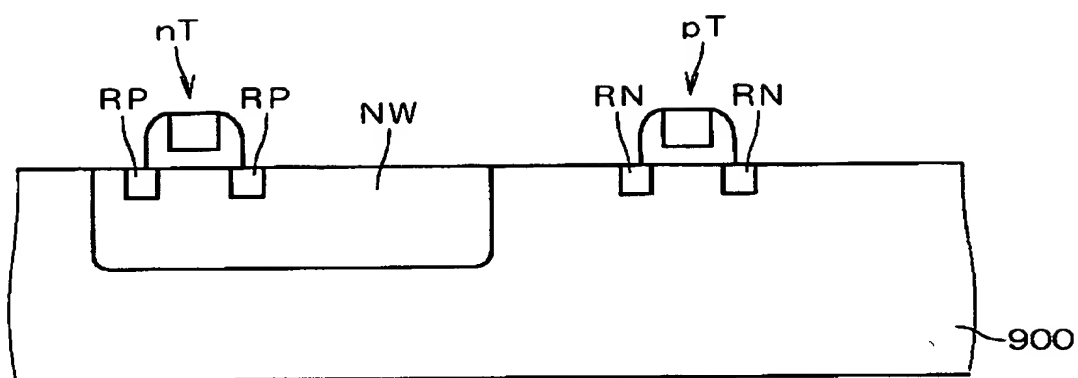
【図 27】



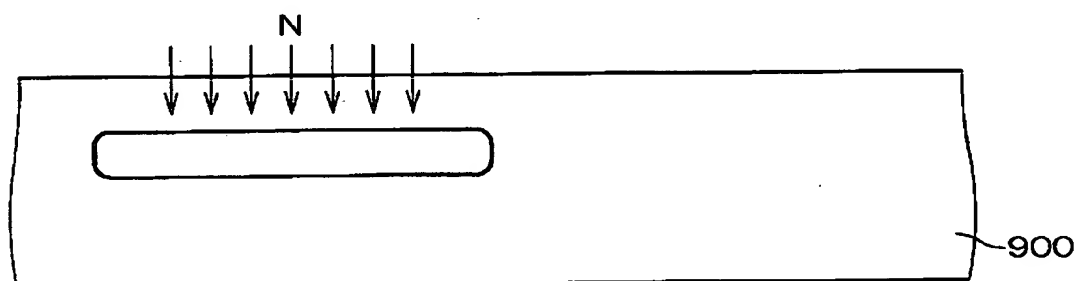
【図 28】



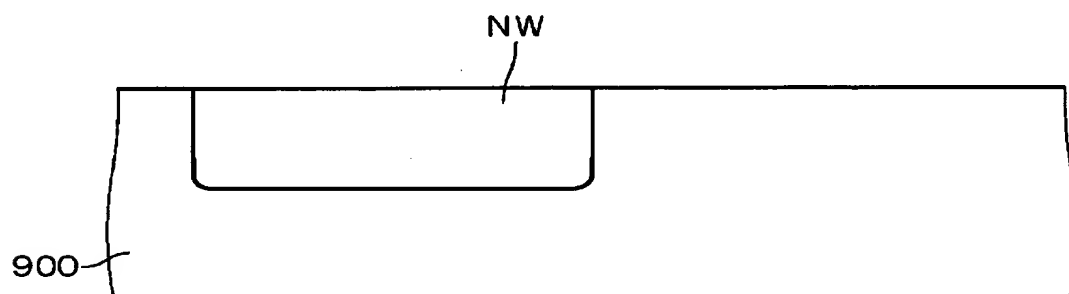
【図 2 9】



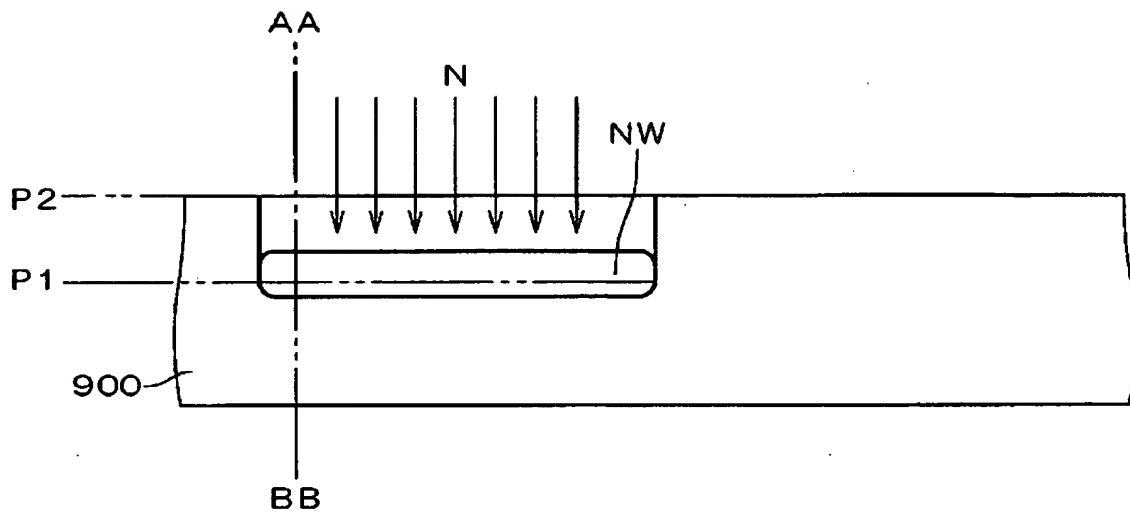
【図 3 0】



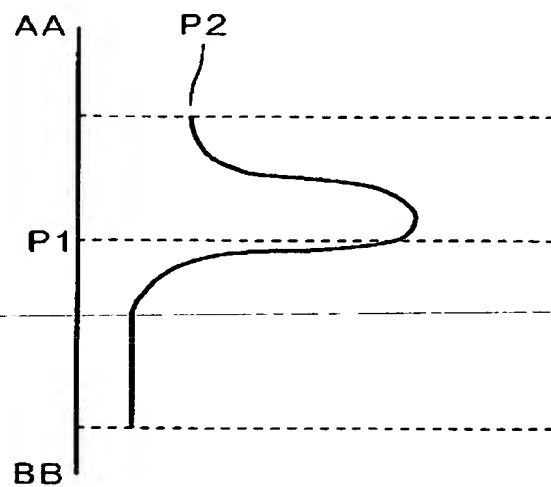
【図 3 1】



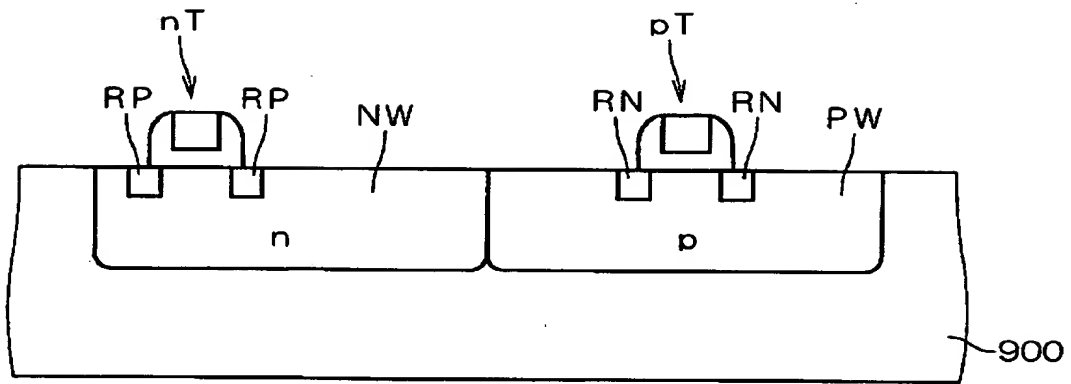
【図 3 2】



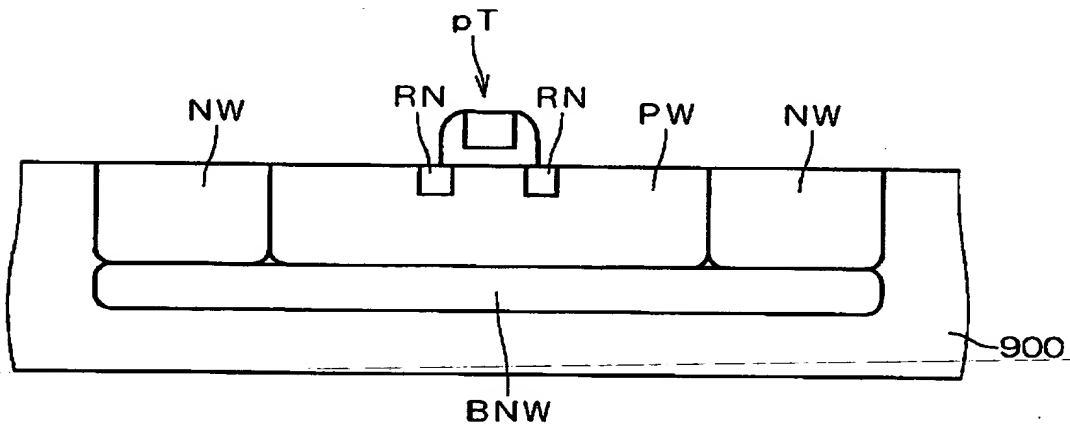
【図 3 3】



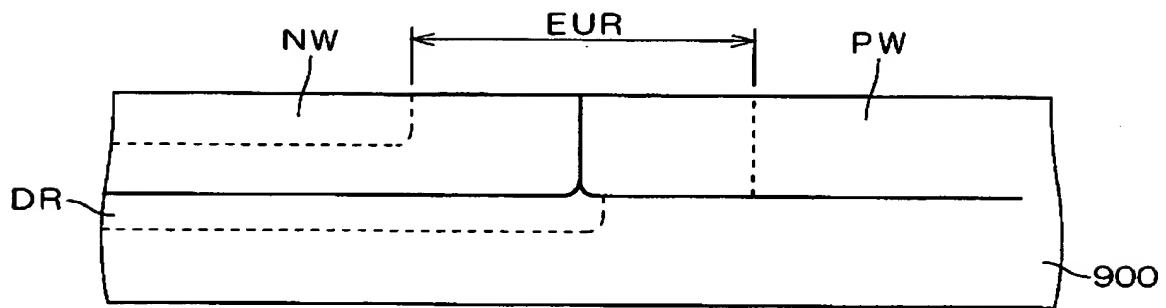
【図 34】



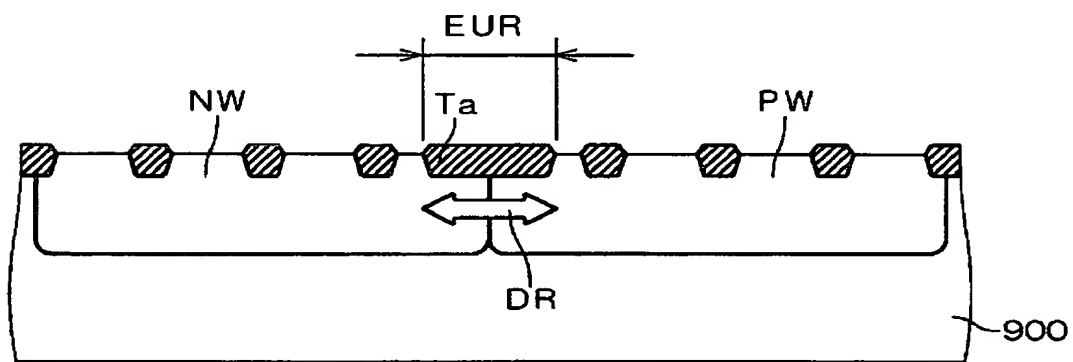
【図 35】



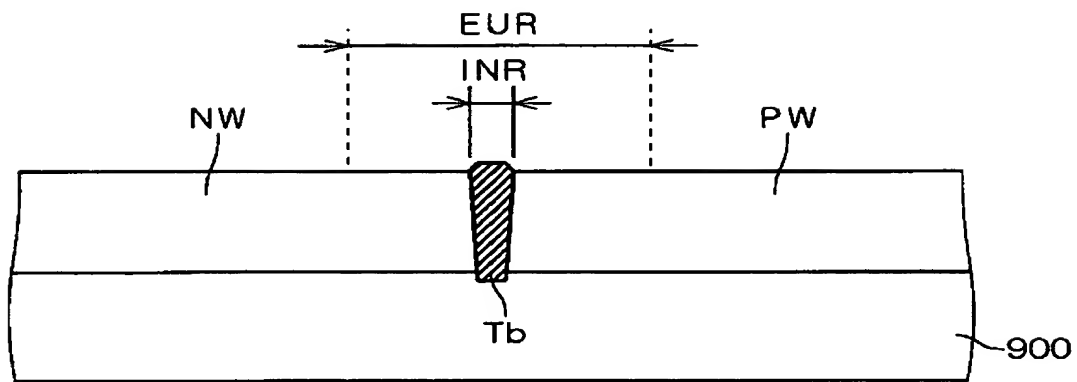
【図 3 6】



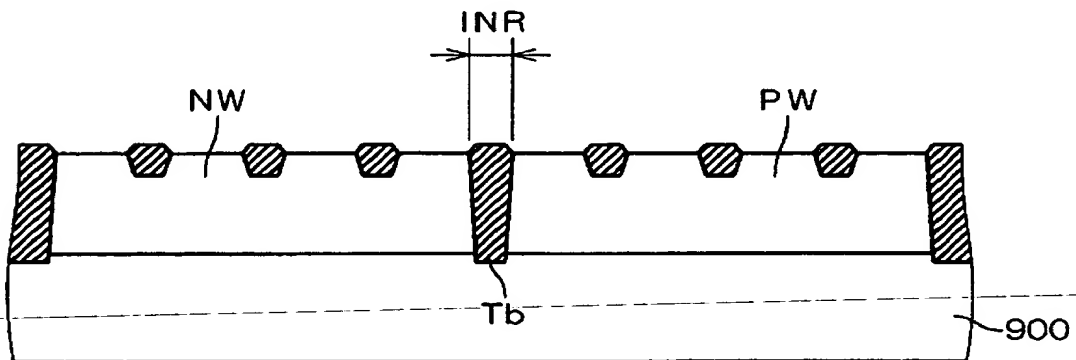
【図 3 7】



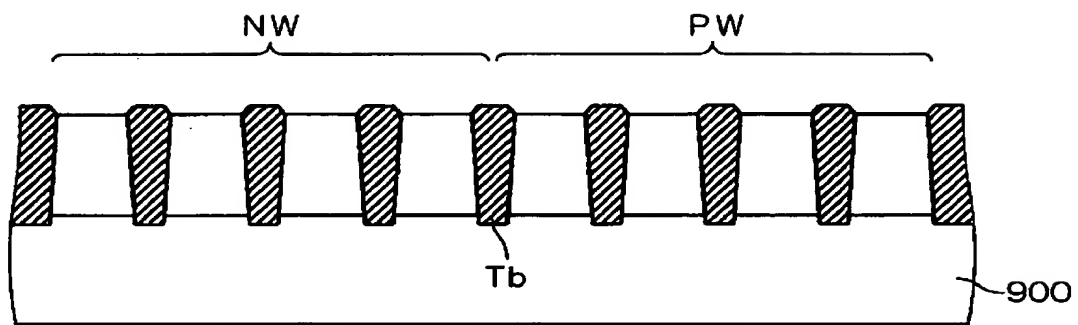
【図 38】



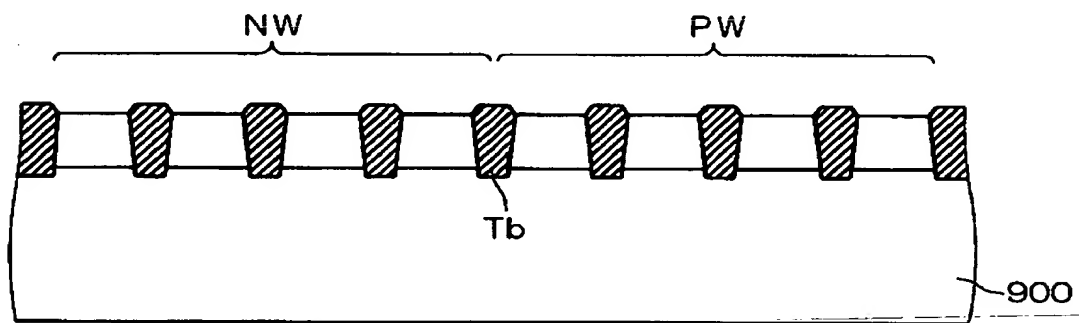
【図 39】



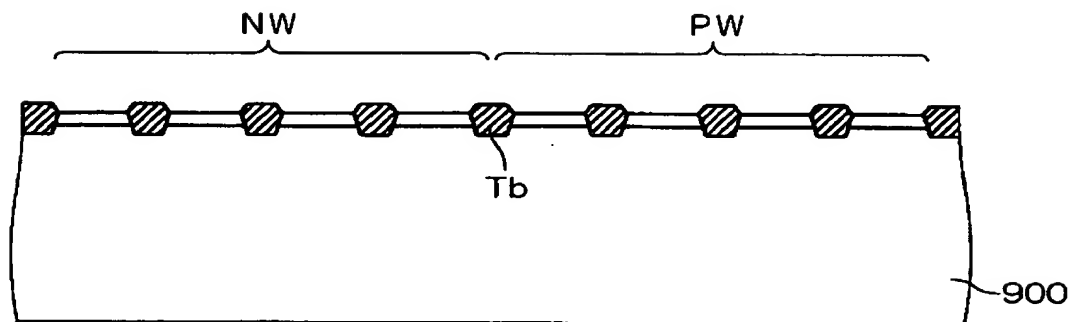
【図 40】



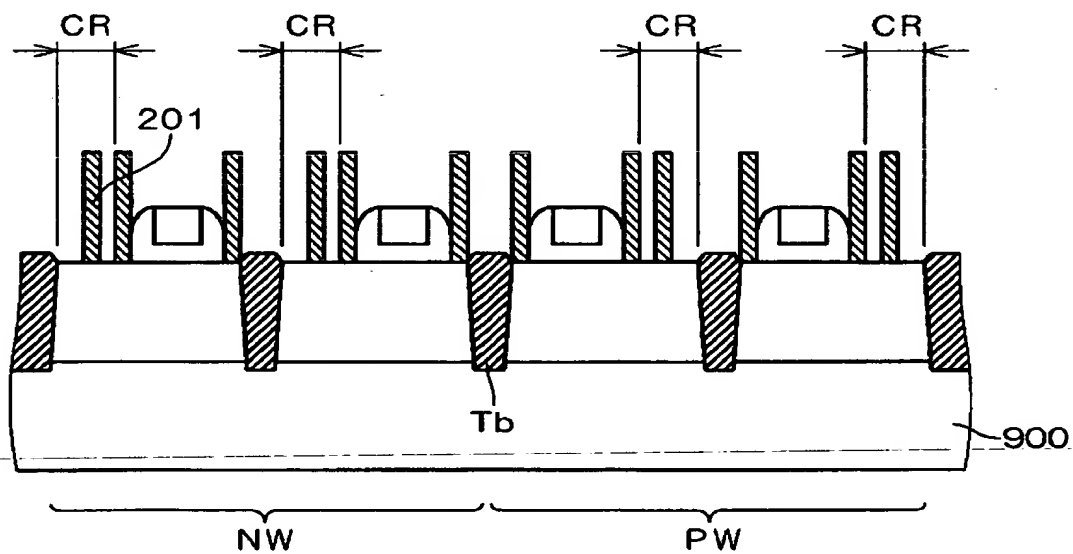
【図 41】



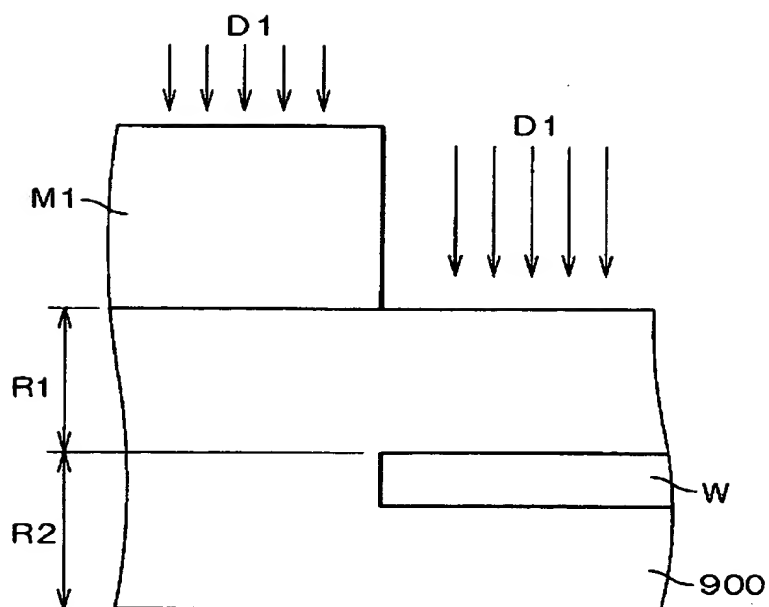
【図 4 2】



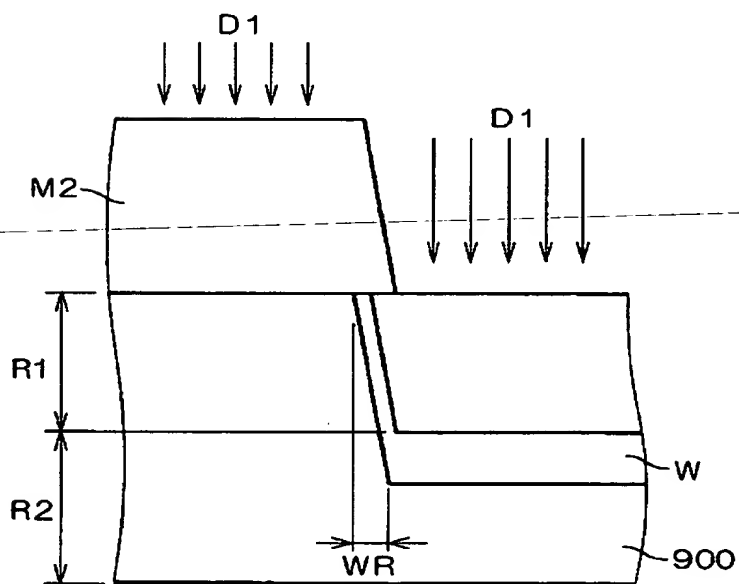
【図 4 3】



【図 4 4】



【図 4 5】



【書類名】 要約書

【要約】

【課題】 ウェルがトレンチによって複数に分離されている半導体装置であって、レイアウト面積を小さくすることができる半導体装置及びその製造方法を得る。

【解決手段】 素子分離膜Tは、半導体基板100の主面から深さL1で形成され、半導体基板100のうち、半導体基板100の主面から深さL1までを複数の第1領域R1に区画する。第1ウェルW1は、複数の第1領域R1の各々内に形成されている。第2ウェルW2は、半導体基板100のうち、第1ウェルW1よりもさらに深い第2領域R2に形成され、第1ウェルW1のうちの複数個と接触する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社